

Si3262

数据手册

1 简介

Si3262 是一款高度集成的低功耗 SOC 芯片，其集成了基于 RISC-V 核的低功耗 MCU 和工作在 13.56MHz 的非接触式读写器模块。

MCU 模块具有低功耗、Low Pin Count、宽电压工作范围，集成了 13/14/15/16 位精度的 ADC、LVD、UART、SPI、I2C、TIMER、WUP、IWDG、RTC、TSC 等丰富的外设。内核采用 RISC-V RV32IMAC (2.6 CoreMark/MHz)。

读写器模块支持 ISO/IEC 14443 A/B/MIFARE 协议，支持自动载波侦测功能(ACD)。无需外围其他电路，其内部发送器可驱动读写器天线与 ISO/IEC 14443 A/B/MIFARE 卡和应答机通信。接收器模块提供一个强大而高效的电路，用以解调译码 ISO/IEC 14443 A/B/MIFARE 兼容卡及应答机信号。数字模块处理完整的 ISO/IEC 14443 A/B 帧和错误检测功能(奇偶和 CRC)。在 ACD 模式下，读写器模块大部分时间处于休眠状态，由 3K RC 定时唤醒，以极低功耗侦测 13.56 MHz 的射频场和射频卡，检测到场或卡自动产生中断唤醒 MCU。侦测场和卡的功能可以单独使能。整个 ACD 过程不需要 MCU 干预。

读写器模块支持 MIFARE 产品。读写器模块支持非接触式通信，与 MIFARE 系列双向通信速率高达 848kBd。

另外，本产品提供了配套的调试开发软件和丰富的函数库，能大大降低开发门槛和缩短开发周期。

1.1 MCU 模块特征

- 内置 RISC-V RV32IMAC 内核 (2.6 CoreMark/MHz)；
- 最高 32MHz 工作频率；
- 内置 4kB 的 SRAM；
- 内置 32kB 的嵌入式 FLASH，4.5kB 的 NVM，至少能擦写 100 000 次；
- 内置 1 个 SPI MASTER；
- 内置 1 个 I2C MASTER；
- 内置 2 个 UART 支持最高 1Mbps；
- 内置 2 个高级 TIMER，TIMER1 具有 4 路互补 PWM；
- 1 个 64 位系统定时器 SysTick (MTIME)，不可用于授时；
- 内置 1 个快速的高精度 13/14/15/16bit ADC，集成 1.2V 高精度基准；
- 宽 ADC 输入电压范围：0~4.8V，最大输入电压不得高于 VDD_MCU 电压；
- ADC 支持 10 个输入通道，其中 8 个可用于外部外部电压测量；
- 内置低压检测模块；
- 最多支持 15 个 GPIO，支持外部中断；
- 集成电容式触摸检测模块 TSC，最大支持 15 个通道；

- PA10 可用作 BOOT 配置；
- 内置硬件看门狗；
- 内置 1 个 RTC，可用于授时；
- 内置 1 个 WUP；
- 支持 4 种低功耗模式，最低功耗小于 0.6uA（看门狗工作）；
- 内置 32 位真随机数发生器；
- 支持 cJTAG 2 线调试接口；
- 工作电压范围：1.8 ~ 5.5V；

1.2 读写器模块特征

- 高度集成的模拟电路，解调和译码响应；
- 带缓冲的输出驱动器，使用最少的外围元件与天线连接；
- 支持 ISO/IEC 14443 A/B/MIFARE；
- 读写器模式的操作距离取决于天线的尺寸和圈数，典型操作距离为 50mm；
- 读写器模式下支持 MIFARE 系列卡；
- 支持 ISO/IEC 14443 A/B/Mifare 更高速率通信，最高达 848kBd；
- 支持的主机接口：
 - SPI 接口，速率高达 10 Mbits/s
 - I2C 接口，快速模式速率达 400 kBd，高速模式速率达 3400 kBd
 - 串行 UART，速率达 1228.8 kBd
- 64 字节 FIFO；
- 灵活的中断模式；
- 低功耗硬复位功能；
- 支持软掉电模式；
- 集成可编程定时器；
- 27.12MHz 内部振荡器；
- 电源电压 2.5V-3.6V；
- 集成 CRC 协处理器；
- 可编程 I/O 管脚；
- 支持 ACD 模式：
 - ACD 模式支持自动检测 13.56 MHz 射频场和射频卡
 - ACD 过程不需要 MCU 干预

- OSC 起振失败监测功能

1.3 其他特征

- 超低功耗，最低功耗达 1.7uA（MCU 模块处于掉电模式，读卡器模块处于硬掉电模式）；
- 典型 ACD 模式功耗为 4.1uA（MCU 模块处于掉电模式，读写器模块寻卡时间间隔为 500ms）；
- 工作温度范围-40 ~ 85°C；
- 支持 QFN0505-32L 封装；
- 极少外围器件，降低系统应用成本；
- 配套有成熟的开发调试软件和丰富的函数库，能大大降低开发门槛和缩短开发周期；

1.4 结构框图

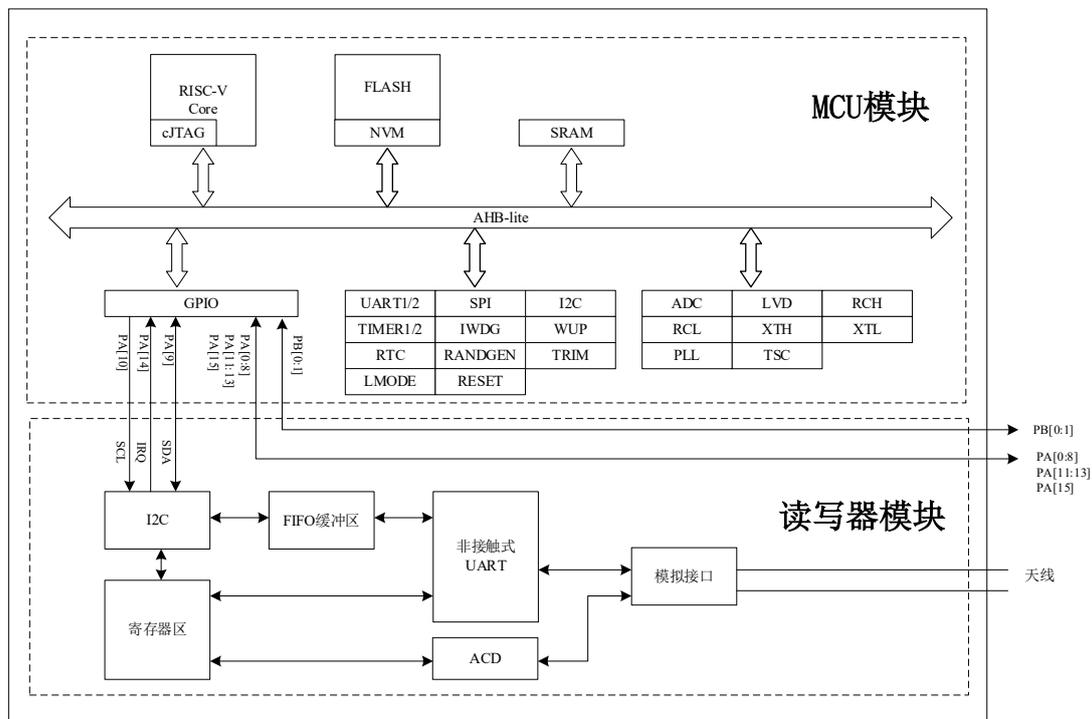


图 1-1 结构简图

1.5 引脚描述

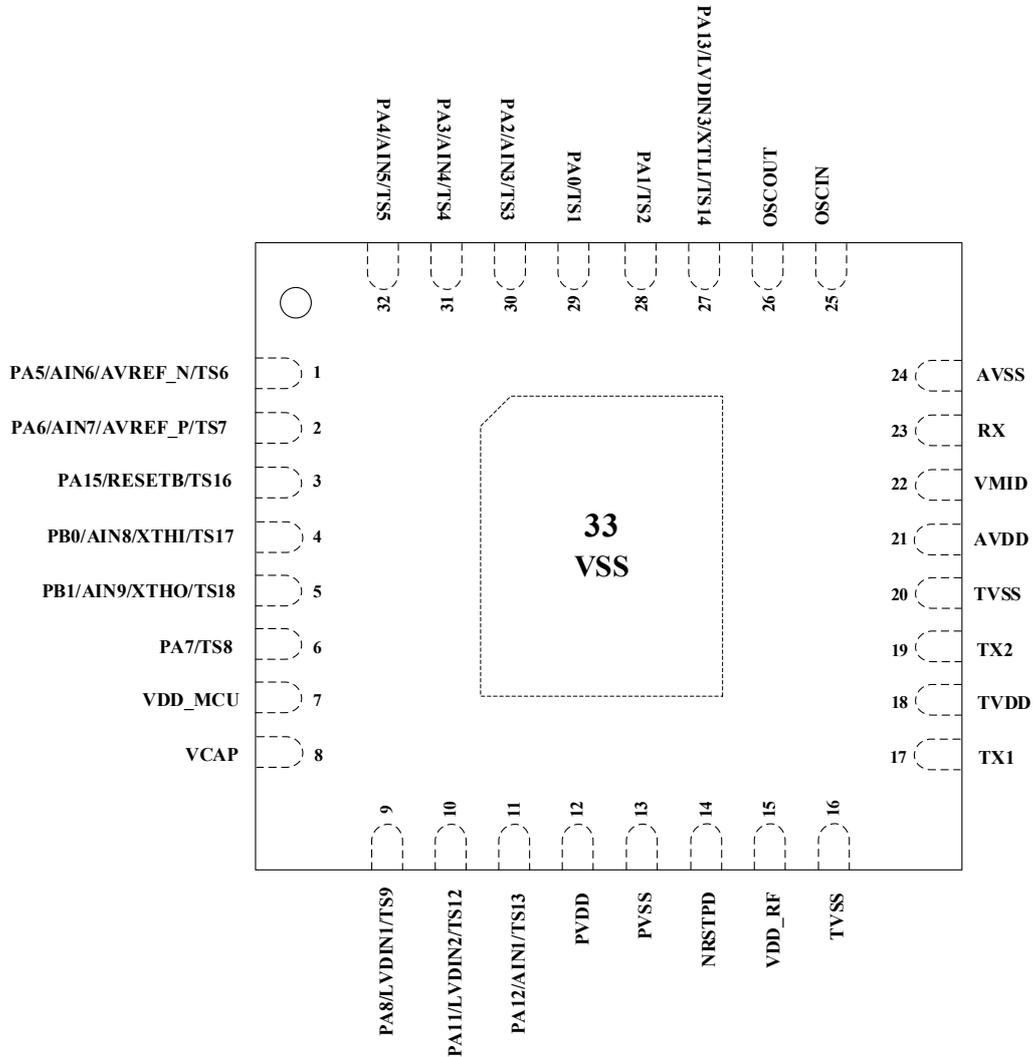


图 1-2 管脚信息图（QFN0505-32L 封装）

表 1-1 引脚描述

序号	名称	引脚类型	复用功能	额外功能
1	PA5	IO	UART0_TXD/UART1_TXD/ SPI_MISO/ I2C_SDA/ TIM1_CH3N	AIN6/AVREF_N/TS6
2	PA6	IO	UART0_RXD/UART1_RXD/SPI_MO SI/I2C_SCL/TIM1_CH4	AIN7/ AVREF_P/TS7
3	PA15	IO	TIM1_CH4N	RESETB/TS16

序号	名称	引脚类型	复用功能	额外功能
4	PB0	IO	UART1_TXD/UART0_RXD/SPI_SCK /I2C_SDA/TIM1_BKIN	AIN8/ XTHI/TS17
5	PB1	IO	UART1_RXD/UART0_TXD/I2C_SCL /TIM2_BKIN	AIN9/XTHO/TS18
6	PA7	IO	TIM2_CH1	TS8
7	VDD_MCU	S	MCU 模块电源，范围为 1.8-5.5V	
8	VCAP	S	LDO 供电输出(仅限内部电路使用， 需接 1uF 去耦合电容到地)	
9	PA8	IO	RTC_Alarm/RTC_1Hz/RTC_256Hz/ TIM2_CH1N	LVDIN1/TS9
10	PA11	IO	TIM2_BKIN/XTH_CLK/UART1_TX/ SPI_MISO/TIM2_CH3	LVDIN2/TS12
11	PA12	IO	HCLK/UART1_RXD/SPI_MOSI/TIM2 _CH3N	AIN1/TS13
12	PVDD	S	读写器模块的引脚电源	
13	PVSS	S	读写器模块的引脚地	
14	NRSTPD	I	读写器模块的复位和掉电输入： - 掉电：处于低电平时进入掉电 状态；内部电流驱动关闭，振 荡器关闭，输入引脚冻结，不 与外部连接 - 复位：上升沿触发复位	
15	VDD_RF	S	读写器模块的电源，范围为 2.5~3.6V	
16	TVSS	S	读写器模块的发射机地：TX1，TX2 输出级的地	
17	TX1	O	读写器模块的发射机 1：发射调制的 13.56MHz 能量载波	
18	TVDD	S	读写器模块的发射机电源：TX1， TX2 输出级的电源	
19	TX2	O	读写器模块的发射机 2：发射调制的 13.56MHz 能量载波	
20	TVSS	S	读写器模块的发射机地：TX1，TX2 输出级的地	

序号	名称	引脚类型	复用功能	额外功能
21	AVDD	S	读写器模块的模拟电源	
22	VMID	S	内部参考电压：该管脚提供内部参考电压	
23	RX	I	读写器模块射频信号输入	
24	AVSS	S	读写器模块的模拟地	
25	OSCIN	I	读写器模块的晶振输入：振荡器反相放大器的输入；同时也是外部时钟的输入（ $f_{osc}=27.12\text{MHz}$ ）	
26	OSCOUT	O	读写器模块的晶振输出：振荡器反相放大器的输出	
27	PA13	IO	SPI_SCK/I2C_SDA/LVD_OUT/TIM2_CH4	LVDIN3/XTLI/TS14
28	PA1	IO	TMSC/SPI_MISO/UART0_RXD/XTH_CLK/TIM1_CH1N/RCH_CLK	TS2
29	PA0	IO	TCKC/PCLK/UART0_TXD/HCLK/TIM1_CH1/RCL_CLK	TS1
30	PA2	IO	PLL_CLK/RCH_CLK/TIM1_CH1/UART1_TXD/TIM1_CH2	AIN3/TS3
31	PA3	IO	XTL_CLK/RCL_CLK/TIM1_CH1N/UART1_RXD/TIM1_CH2N	AIN4/TS4
32	PA4	IO	TIM1_CH1N/ TIM1_CH3	AIN5/TS5
33	VSS	S	芯片地	

注 S：电源/地； I：输入； O：输出； I/O：输入/输出；

目录

1	简介	2
1.1	MCU 模块特征	2
1.2	读写器模块特征	3
1.3	其他特征	4
1.4	结构框图	4
1.5	引脚描述	5
	目录.....	8
2	MCU 模块.....	15
2.1	存储器和总线架构	15
2.1.1	存储器映射.....	15
2.1.2	嵌入式SRAM.....	15
2.1.3	嵌入式FLASH/NVM.....	16
2.1.4	BOOT 配置.....	16
2.2	低功耗模式(LPMODE)	17
2.2.1	低功耗模式.....	17
2.2.2	低功耗寄存器描述.....	20
2.3	复位(RESET)	22
2.3.1	复位源介绍.....	22
2.3.2	复位寄存器描述.....	23
2.3.3	复位寄存器映射.....	24
2.4	时钟管理单元(CMU).....	25
2.4.1	时钟源介绍.....	25
2.4.2	时钟切换.....	26
2.4.3	时钟控制寄存器描述.....	26
2.4.4	CMU 寄存器映射.....	31
2.5	通用和复用功能 I/O	32
2.5.1	GPIO 功能描述.....	32

2.5.2	<i>GPIOA 寄存器描述</i>	38
2.5.3	<i>GPIOA 寄存器映射</i>	51
2.5.4	<i>GPIOB 寄存器描述</i>	52
2.5.5	<i>GPIOB 寄存器映射</i>	58
2.6	中断.....	60
2.6.1	中断简介.....	60
2.6.2	<i>CLIC 寄存器</i>	61
2.6.3	<i>CLIC 寄存器映射</i>	63
2.6.4	外部中断 (EXTI)	64
2.6.5	<i>EXTI 寄存器映射</i>	65
2.6.6	不可屏蔽中断NMI.....	65
2.6.7	中断操作.....	66
2.6.8	中断控制状态寄存器.....	66
2.7	系统定时器 (SysTick-MTIMER)	75
2.7.1	<i>SysTick(MTIMER)介绍</i>	75
2.7.2	<i>寄存器描述</i>	75
2.7.3	<i>寄存器映射</i>	76
2.8	独立看门狗(IWDG).....	78
2.8.1	简介.....	78
2.8.2	<i>IWDG 寄存器描述</i>	78
2.8.3	<i>IWDG 寄存器映射</i>	80
2.9	高级定时器 (TIMER1&TIMER2)	81
2.9.1	简介.....	81
2.9.2	主要特性.....	81

2.9.3	框图.....	82
2.9.4	功能描述.....	82
2.9.5	TIMERx 寄存器描述.....	112
2.9.6	TIM1&TIM2 寄存器映射.....	134
2.10	自动唤醒 (WUP)	136
2.10.1	简介.....	136
2.10.2	寄存器描述.....	136
2.10.3	寄存器映射.....	137
2.11	模拟/数字转换(ADC).....	139
2.11.1	简介.....	139
2.11.2	功能描述.....	139
2.11.3	寄存器描述.....	141
2.11.4	寄存器映射.....	146
2.12	I2C 接口	147
2.12.1	介绍.....	147
2.12.2	功能描述.....	147
2.12.3	I2C 寄存器描述.....	150
2.12.4	寄存器映射.....	152
2.13	串行外设接口 (SPI)	153
2.13.1	简介.....	153
2.13.2	功能描述.....	153
2.13.3	寄存器描述.....	156
2.13.4	寄存器映射.....	157
2.14	实时时钟 (RTC)	159

2.14.1	RTC 简介.....	159
2.14.2	功能介绍.....	159
2.14.3	寄存器描述.....	161
2.15	异步收发器 (UART)	166
2.15.1	简介.....	166
2.15.2	功能描述.....	166
2.15.3	UART 的引脚映射.....	167
2.15.4	寄存器描述.....	168
2.16	低压检测 (LVD)	171
2.16.1	简介.....	171
2.16.2	LVD 框图.....	171
2.16.3	迟滞功能.....	171
2.16.4	寄存器描述.....	172
2.16.5	寄存器映射.....	173
2.17	随机数生成模块 (RANDGEN)	175
2.17.1	简介.....	175
2.17.2	寄存器描述.....	175
2.17.3	寄存器映射.....	176
2.18	触摸检测(TSC)	177
2.18.1	触摸简介.....	177
2.18.2	寄存器描述.....	177
2.19	UART 波特率自适应 (TRIM)	180
2.19.1	简介.....	180
2.19.2	寄存器描述.....	180
2.19.3	使用方法.....	182
2.20	FLASH/NVM 烧录	183

2.20.1	<i>FLASH/NVM 主要特性</i>	183
2.20.2	<i>FLASH/NVM 映射</i>	183
2.20.3	<i>FLASH/NVM 操作</i>	184
2.20.4	<i>FLASH 读写保护</i>	186
2.20.5	<i>FLASH/NVM 烧录</i>	186
2.21	DEBUG 支持.....	187
2.21.1	<i>概述</i>	187
2.21.2	<i>cJTAG 调试接口</i>	187
2.22	RISC-V 内核.....	189
2.23	芯片电子签名.....	190
3	读写器模块	191
3.1	功能描述.....	191
3.1.1	<i>ISO 14443A/MIFARE 读卡器功能</i>	191
3.1.2	<i>ISO/IEC 14443B 读卡器功能</i>	192
3.1.3	<i>Auto Low Power Polling Loop</i>	192
3.2	寄存器映射.....	196
3.2.1	<i>寄存器集概述</i>	196
3.2.2	<i>PAGE0: 命令和状态</i>	199
3.2.3	<i>7.3 PAGE1: 通信</i>	214
3.2.4	<i>PAGE2: 配置</i>	225
3.2.5	<i>PAGE3: 测试</i>	233
3.3	数字接口.....	241
3.3.1	<i>微控制器接口自动检测</i>	241
3.3.2	<i>SPI</i>	241
3.3.3	<i>UART</i>	243
3.3.4	<i>I²C</i>	246
3.4	模拟接口与非接触式 UART.....	253

3.4.1	概述.....	253
3.4.2	TX 驱动.....	253
3.4.3	串行数据转换器.....	255
3.4.4	CRC 协处理器.....	255
3.5	FIFO.....	257
3.5.1	FIFO 存取.....	257
3.5.2	FIFO 控制.....	257
3.5.3	FIFO 状态信息.....	257
3.6	中断请求系统.....	259
3.6.1	中断源概览.....	259
3.7	定时器.....	261
3.8	低功耗模式.....	263
3.8.1	硬掉电.....	263
3.8.2	软掉电.....	263
3.8.3	发射机掉电.....	263
3.9	振荡器电路.....	264
3.10	复位及振荡器启动时间.....	265
3.10.1	复位时间要求.....	265
3.10.2	振荡器启动时间.....	265
3.11	命令集.....	266
3.11.1	概述.....	266
3.11.2	16.2 命令概览.....	266
3.11.3	命令说明.....	267
3.11.4	Idle.....	267
3.11.5	Generate RandomID.....	267
3.11.6	CalcCRC.....	267
3.11.7	Transmit.....	267
3.11.8	MStart.....	267

3.11.9	<i>ADC_EXCUTE</i>	268
3.11.10	<i>NoCmdChange</i>	268
3.11.11	<i>Receive</i>	268
3.11.12	<i>Transceive</i>	268
3.11.13	<i>MFAuthent</i>	268
3.11.14	<i>SoftReset</i>	269
4	电气参数.....	270
4.1	MCU 电气参数.....	270
4.1.1	<i>参数条件</i>	270
4.1.2	<i>操作条件</i>	271
4.2	读写器电气参数.....	277
4.2.1	<i>主要参数指标</i>	277
4.3	其他参数.....	279
4.3.1	<i>主要参数指标</i>	279
5	封装信息.....	280
6	典型应用原理图.....	281
6.1	典型应用原理图.....	281
6.2	PCB 布线.....	282
7	版本信息.....	283
8	订单信息.....	284
9	技术支持与联系方式.....	285

2 MCU 模块

2.1 存储器和总线架构

2.1.1 存储器映射

表 2-1 存储器映射

Base	Top	Attr	Description	Notes
0x0000_0000	0x0000_0FFF	RWX	Debug	Debug Address Space
0x0200_0000	0x02FF_FFFF	RW	CLIC	On Core Complex Devices
0x2000_0000	0x2000_7FFF	RWX	FLASH	32KB Flash, 多种保护策略
0x2000_8000	0x2000_93FF	RWX	NVM	4.5KB NVM, 无保护
0x2002_0000	0x2002_0FFF	RWX	SRAM	4KB SRAM
0x2002_8000	0x2002_801F	RW	RTC	实时时钟
0x2002_8080	0x2002_8087	RW	CMU	XTL 时钟配置
0x3000_0004	0x3000_000F	RW	I2C	Peripherals
0x3000_0010	0x3000_0017	RW	UART1	
0x3000_0018	0x3000_005F	RW	TIMER1	
0x3000_0060	0x3000_006B	RW	SPI	
0x3000_0098	0x3000_0103	RW	TIMER2	
0x3000_0200	0x3000_026F	RW	GPIO	
0x3000_0238	0x3000_023F	RW	RANDGEN	
0x3000_0280	0x3000_0297	RW	ADC	
0x3000_02A0	0x3000_02AB	RW	IWDG	
0x3000_02C0	0x3000_02C7	RW	EXTI	
0x3000_02E0	0x3000_02F7	RW	CMU	
0x3000_0330	0x3000_0337	RW	LVD	
0x3000_0360	0x3000_036B	RW	RESET	
0x3000_0380	0x3000_0387	RW	TRIM	
0x3000_0600	0x3000_0607	RW	LPMODE	
0x3000_0610	0x3000_061B	RW	WUP	
0x3000_0700	0x3000_0707	RW	UART2	

2.1.2 嵌入式 SRAM

芯片内置了一个 4K 字节的 SRAM。支持字节、半字（16 位）或全字（32 位）访问。可在系统时钟频率下进行读写操作，无需等待周期。SRAM 的地址范围是 0x2002_0000 - 0x2002_1FFF。

2.1.3 嵌入式 FLASH/NVM

FLASH/NVM 主要特性:

- FLASH 大小为 8K×32 位 (32K 字节);
- NVM 大小为 640×32 位 (4.5K 字节);
- FLASH/NVM 按扇区组织, 每个扇区 512 字节;

FLASH 和 NVM 都可以用来存放用户程序和数据, 但是 NVM 不受保护, 用户可以任意地擦、写、读。

- 支持在应用读写, 可用来保存用户数据;
- 支持字节、半字 (16 位) 或全字 (32 位) 访问;
- FLASH 支持扇区擦除和整片擦除;
- NVM 支持按扇区擦除;
- FLASH 支持读写保护。

2.1.4 BOOT 配置

芯片在上电之后或者复位 (不包含从 PD2 退出引起的复位) 之后, 在 tBOOT 时间内, PA10 会被用作 BOOT 脚。在 tBOOT 时间内, 当 PA10 为高电平时, 芯片将先执行 BOOT 程序, 然后再跳转到 Flash 执行用户程序; 当 PA10 为低电平时, 芯片将跳过 BOOT 程序的执行, 直接跳转到 Flash 执行用户程序。BOOT 程序的执行时间约为 160ms。

从 PD2 唤醒后, 芯片会复位, 但不会检测 PA10, 也不会执行 BOOT 程序。

在 tBOOT 时间内, PA10 为输入, 用户不应该将 PA10 悬空或用作模拟功能, 否则会导致 BOOT 的执行时间不确定。

在上电之后, tBOOT 时间约为 40ms; 在复位之后 (不包含从 PD2 退出引起的复位), tBOOT 时间约为 50us。

2.2 低功耗模式(LPMODE)

在系统或电源复位以后，微控制器处于运行状态。运行状态下默认使用 RCH 为 MCU 提供时钟执行程序代码。当 MCU 不需继续运行时，可以利用多个低功耗模式来节省功耗，例如等待某个外部中断时。根据最低电源消耗，最快速启动时间和可用唤醒源的需求，选取一个最佳的折中方案来帮助用户选定一个低功耗模式。

MCU 模块有四种低功耗模式：

- 待机模式（内核停止，外设仍可运行）；
- 睡眠模式（除 RCL、XTL 时钟外，所有的时钟都可以停止）；
- 掉电模式 1（见表 2-2）；
- 掉电模式 2（见表 2-2，IO 保持掉电前状态）。

此外，在运行模式下，可以通过以下方式降低功耗：

- 降低系统时钟；
- 关闭未被使用的外设的时钟；
- 合理配置 I/O。

表 2-2 低功耗模式一览表

工作模式	进入方法	LDO	LPLDO	Flash	RCH	XTH	RCL	XTL	PLL	唤醒方法
待机模式 (IDLE)	LPMODE=00b+WFI	Y	Y	Y	O	O	Y	O	O	任意中断、看门狗与复位
睡眠模式 (SLEEP)	LPMODE=01b+WFI	N	Y	Y	N	N	Y	O	N	任意中断、看门狗与复位
掉电模式 1 (PD1)	LPMODE=10b+WFI	N	Y	N	N	N	Y	O	N	任意中断、看门狗与复位
掉电模式 2 (PD2)	LPMODE=11b+WFI	N	N	N	N	N	Y	O	N	任意中断、看门狗与复位

Y—打开；

N—关闭；

O—可配置

2.2.1 低功耗模式

2.2.1.1 进入低功耗模式

配置 LPMODE 寄存器后执行 WFI 指令，如果当前没有中断，可以直接进入低功耗模式。如果当前有中断，且中断使能，MCU 无法进入低功耗模式，继续执行 WFI 指令之后的程序。

2.2.1.2 退出低功耗模式

为了成功退出低功耗模式，需要在执行 WFI 指令之前使能用于唤醒的中断，并且使能对应的 clicintie（CLIC Interrupt Enable）寄存器。当执行 WFI 指令并成功进入低功耗模式后，如果已经打开了中断总使能（mstatus.MIE=1），当使能的中断产生后，MCU 唤醒跳到中断处理函数处继续执行。如果没有打开中断总使能（mstatus.MIE=0），当使能的中断产生后，MCU 唤醒，从 WFI 指令的下一条指令继续运行。

2.2.1.3 待机模式(IDLE)

在待机模式中，MCU 内核停止运行；任意使能的中断、看门狗和复位可以使 MCU 立刻退出待机模式。待机模式唤醒消耗的时间最少，但功耗较大。

待机模式（灰色部分为不工作模块）		
RISC-V 内核	TIMER1/2	LVD
cJTAG	IWDG	-
FLASH/NVM	WUP	RCH
-	RTC	RCL
SRAM	RANDGEN	XTH
UART1/2	TRIM	XTL
SPI	GPIO	PLL
I2C	ADC	-

2.2.1.4 睡眠模式(SLEEP)

在待机模式中，MCU 内核停止运行，高速时钟关闭；任意使能的中断、看门狗和复位可以使 MCU 退出睡眠模式。当使能的中断产生后，根据时钟来源的不同，需要几个到几百个时钟后，才可以继续执行。

注意：相关外设只能在 RCL/XTL 时钟下工作。

待机模式（灰色部分为不工作模块）		
RISC-V 内核	TIMER1/2	LVD
cJTAG	IWDG	-
FLASH/NVM	WUP	RCH
-	RTC	RCL

待机模式（灰色部分为不工作模块）		
SRAM	RANDGEN	XTH
UART1/2	TRIM	XTL
SPI	GPIO	PLL
I2C	ADC	-

2.2.1.5 掉电模式 1(PD1)

进入掉电模式 1 后，MCU 内核停止工作，高速时钟关闭，FLASH 进入深度休眠，MCU 的功耗得以进一步降低。任意中断、看门狗和复位可以使 MCU 退出掉电模式 1。

待机模式（灰色部分为不工作模块）		
RISC-V 内核	TIMER1/2	LVD
cJTAG	IWDG	-
FLASH/NVM	WUP	RCH
-	RTC	RCL
SRAM	RANDGEN	XTH
UART1/2	TRIM	XTL
SPI	GPIO	PLL
I2C	ADC	-

2.2.1.6 掉电模式 2(PD2)

进入掉电模式 2 之后，MCU 内核停止工作，高速时钟和数字电源关闭，FLASH 进入深度休眠，RAM 和寄存器数据丢失，GPIO 被锁定。此模式功耗最小。

任意使能的中断、看门狗和复位可以使 MCU 退出掉电模式 2 并复位，经过至少 104us 后，用户程序开始重新运行。从掉电模式 2 退出后，lprst_flag 置 1。

待机模式（灰色部分为不工作模块）		
RISC-V 内核	TIMER1/2	LVD
cJTAG	IWDG	-
FLASH/NVM	WUP	RCH
-	RTC	RCL
SRAM	RANDGEN	XTH

待机模式（灰色部分为不工作模块）		
UART1/2	TRIM	XTL
SPI	GPIO	PLL
I2C	ADC	-

2.2.2 低功耗寄存器描述

2.2.2.1 低功耗模式寄存器（LPMODE）

地址：0x3000_0600

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											fwup_pd1	Reserved		lpmode	
														RW	

位	标记	功能描述
31:5	Reserved	保留位
4	fwup_pd1	1: 快速 PD1 唤醒 0: 正常 PD1 唤醒 具体唤醒时间见电气参数一章。
3:2	Reserved	保留位
1:0	lpmode	2'b00: 待机模式; 2'b01: 睡眠模式; 2'b10: 掉电模式 1; 2'b11: 掉电模式 2。 注: 1) lpmode 寄存器还包含一组镜像寄存器。当芯片收到干扰导致寄存器和镜像寄存器的值不一致时, 芯片会复位, 重新执行;

2.2.2.2 低功耗标志寄存器（LPRST_FLAG）

地址：0x3000_0604

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Reserved	lprst_flag
	R

位	标记	功能描述
31:1	Reserved	保留位
0	lprst_flag	芯片从掉电模式 2 被唤醒，重新复位标志位。 1: 复位由掉电模式 2 唤醒产生； 0: 复位由其他方式产生

2.2.2.3 PD2 快速唤醒 (FWUP_PD2)

地址: 0x3000_0604

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													fwup_pd2		
													RW		

位	标记	功能描述
31:3	Reserved	保留位
2: 0	fwup_pd2	PD2 模式唤醒时间控制 111: 233us 110: 168us(默认值) 101: 136us 100: 120us 011: 112us 010: 106us 001: 105us 000: 104us 测试条件: 环境温度 25°C, VDD_MCU 为 3.3V

2.3 复位(RESET)

本产品具有 8 个复位信号来源，每个复位信号都可以让 CPU 重新运行，绝大多数寄存器会被复位到复位值，程序会从复位向量处开始执行。

- VDD_MCU、VDIG、DVDD 复位
- IWDG 复位
- NRST 复位
- LVD 复位
- SFT 复位
- PD2 唤醒复位

每种复位源有独立的复位标志信号。

2.3.1 复位源介绍

2.3.1.1 电源复位

本产品有三个供电区域：**VDD_MCU 区域、VDIG 区域、DVDD 区域**，VDIG 和 DVDD 由 VDD_MCU 经电压转换器产生。IWDG、RTC 位于 VDIG 区域，内核及其他数字外设位于 DVDD 区域，其他模拟模块位于 VDD_MCU 域。

当 VDD_MCU 低于 1.3V 时，整个芯片将被复位，同时 VDD_F 置 1；

当 VDIG 低于 0.5V 时，整个芯片将发生复位，同时 VDIG_F 置 1；

当 DVDD 低于 0.5V 时，DVDD 域将发生复位，同时 DVDD_F 置 1；

2.3.1.2 IWDG 复位

当发生 IWDG 复位时，RTC 和 XTL 以外的模块都将复位，同时 IWDT_F 置 1。此标志的上电状态不定，须软件清零。

IWDG 使用见 IWDG 章节。

2.3.1.3 NRST 复位

当 NRST_EN 的寄存器的 use_pa15_nrst 位置 0 时，PA15 拉低，RTC 和 XTL 以外的模块都将复位，同时 NRST_F 置 1。

此标志的上电状态不定，须软件清零。

注意：use_pa15_nrst 的复位值为 1，在发生复位后 PA15 将复用为 GPIO 的功能。

2.3.1.4 LVD 复位

当 LVD 模块处于欠压复位模式时，一旦发生欠压，RTC 和 XTL 以外的模块将发生复位，同时 LVD_F 置 1。

此标志的上电状态不定，须软件清零。

2.3.1.5 SRST 复位

当发生软件复位 SRST 时，RTC 和 XTL 以外的模块将复位，同时 SFT_F 置 1。

2.3.1.6 PD2 唤醒复位

当 MCU 从 PD2 唤醒时，DVDD 域将复位，同时 LPRST_FLAG 寄存器的 lprst_flag 置位。

2.3.2 复位寄存器描述

2.3.2.1 软复位 (SRST)

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														srst	
Reserved														RW	

位	标记	功能描述
31:1	Reserved	保留位
0	srst	写 1 软复位，系统复位

2.3.2.2 NRST 复位使能 (NRST_EN)

偏移地址：0x04

复位值：0x0000_0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														use_pa15_nrst	
Reserved														RW	

位	标记	功能描述
31:1	Reserved	保留位
0	use_pa15_nrst	0: PA15 的用作外部引脚复位，低电平复位； 1: PA15 用作其他功能。

2.3.2.3 复位标志 (RESET_FLAG)

偏移地址: 0x08

复位值: 见下表描述

	31:8	7	6	5	4	3	2	1	0
Reserved	SRST_F	LVD_F	DVDD_F	NRST_F	IWDG_F	VDIG_F	VDD_F		
	RW1	RW1	RW1	RW1	RW1	RW1	RW1	RW1	RW1

位	标记	功能描述
31:7	Reserved	保留位
6	SRST_F	上电不定, 需软件清零。 1: 发生软件复位。 写 1 清零。
5	LVD_F	上电不定, 需软件清零。 1: 发生欠压复位。 写 1 清零。
4	DVDD_F	1: 发生 DVDD 复位。 写 1 清零。
3	NRST_F	上电不定, 需软件清零。 1: 发生 NRST 引脚复位。 写 1 清零。
2	IWDG_F	上电不定, 需软件清零。 1: 发生 IWDG 复位。 写 1 清零。
1	VDIG_F	1: 发生 VDIG 复位。 写 1 清零。
0	VDD_F	1: 发生 VDD_MCU 复位; 写 1 清零。

2.3.3 复位寄存器映射

复位寄存器列表

基地址: 0x3000_0360

寄存器	偏移量	寄描述
SRST	0x00	软复位寄存器
NRST_EN	0x04	NRST 引脚复位使能寄存器
RESET_FLAG	0x08	复位标志寄存器

2.4 时钟管理单元(CMU)

2.4.1 时钟源介绍

时钟管理单元主要控制内核时钟以及外设时钟。内核时钟和外设时钟的时钟源与分频比可以独立配置。

本产品支持以下 5 个不同的时钟源：

- 内部高速 RC 时钟 RCH（输出频率为 16/32MHz），系统复位之后使用该时钟，时钟频率为 16MHz，可通过 RCH_SEL 寄存器切换
- 内部低速 RC 时钟 RCL（输出频率为 3kHz），该时钟不可以被关闭
- 外部高速晶振时钟 XTH（4-32MHz）
- 外部低速晶振时钟 XTL（32.768kHz）
- 锁相环 PLL 时钟

本产品采用如下时钟架构

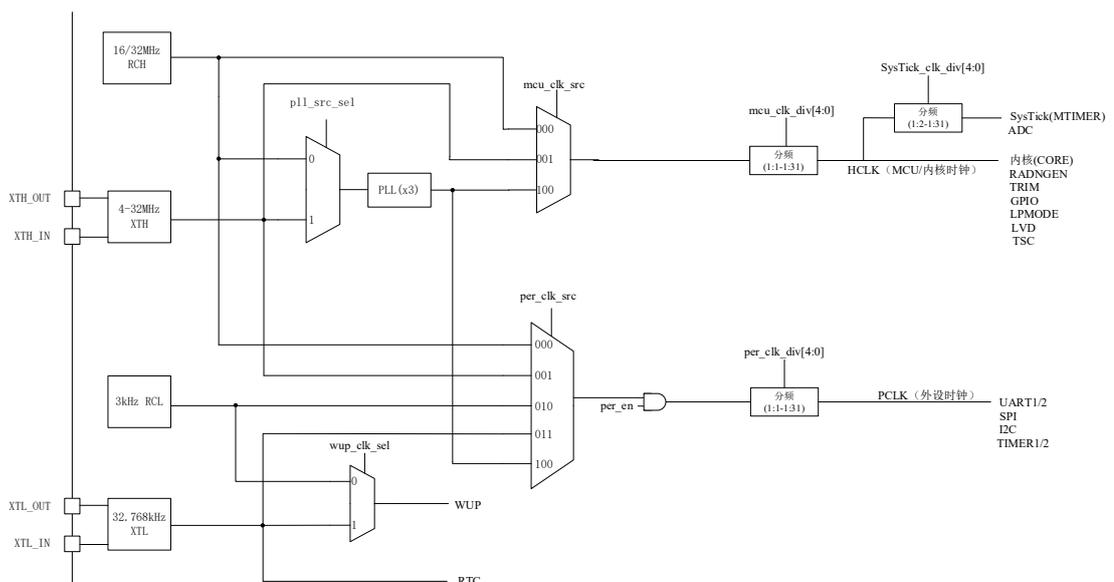


图 2-1 时钟架构

注意：

- RCL 和 XTL 不可以作为内核时钟
- 当 HCLK 和 PCLK 使用某一时钟源时，该时钟源无法关闭
- 当芯片没有外挂 XTH 时，禁止将 mcu_clk_src 设置为 001b
- SysTick (MTIMER) 的时钟频率应小于 HCLK 的 1/2
- PLL 的倍频数为 3，内核时钟最高为 32MHz，外设时钟最高为 48MHz。

2.4.2 时钟切换

外设时钟（PCLK）的时钟源可以在内核 RCH、XTH、RCL、XTL、PLL 间切换。
内核时钟（HCLK）的时钟源只能在 RCH、XTH、PLL 间切换。

注意：禁止将内核时钟源的时钟切为 XTL、RCL。

2.4.3 时钟控制寄存器描述

基地址：0x3000_02E4

2.4.3.1 外设使能寄存器（PER_EN）

偏移地址：0x00

复位值：0x0000_0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														per_en	
Reserved														RW	

位	标记	功能描述
31:1	Reserved	保留位
0	per_en	外设时钟使能位，0：关闭外设时钟 1：使能外设时钟

2.4.3.2 时钟源选择寄存器（CLK_SEL）

偏移地址：0x04

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										per_clk_src	Reserved		mcu_clk_src		
Reserved										RW	Reserved		RW		

位	标记	功能描述
31:7	Reserved	保留位
6:4	per_clk_src	PCLK 时钟选择： 000：时钟来自于内部高速振荡器 RCH 001：时钟来自于外部高速晶振 XTH

位	标记	功能描述
		010: 时钟来自于内部低速时钟 RCL 011: 时钟来自于外部低速时钟 XTL 100: 时钟来自于内部 PLL, PLL 输出频率为 RCH 或 XTH 频率的 3 倍 其他值禁止使用。
3	Reserved	保留位
2:0	mcu_clk_src	HCLK 时钟来源选择 000: 时钟来自于内部高速振荡器 RCH 001: 时钟来自于外部高速晶振 XTH 100: 时钟来自于内部 PLL, PLL 输出频率为 RCH 或 XTH 频率的 3 倍 其他值禁止使用。 <i>注意: 当芯片没有外挂 XTH 时, 禁止将 mcu_clk_src 设置为 001b</i>

2.4.3.3 时钟分频寄存器 (CLK_DIV)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		rtc_clk_div				per_clk_div				mcu_clk_div					
		RW				RW				RW					

位	标记	功能描述
31:15	Reserved	保留位
14:10	SysTick_clk_div	SysTick(MTIMER)时钟分频系数: 000xx: 2 分频; 0010x: 4 分频; 0011x: 6 分频; 0100x: 8 分频; 0101x: 10 分频; 0110x: 12 分频; 0111x: 14 分频; 1000x: 16 分频; 1001x: 18 分频; 1010x: 20 分频; 1011x: 22 分频; 1100x: 24 分频; 1101x: 26 分频; 1110x: 28 分频; 1111x: 30 分频 注: x 为 0 或 1。
9: 5	per_clk_div	外设时钟分频系数: 0000x: 不分频; 00010: 2 分频;

位	标记	功能描述
		00011: 3 分频; 00100: 4 分频; 00101: 5 分频; 11111: 31 分频
4: 0	mcu_clk_div	MCU 时钟分频系数 0000x: 不分频; 00010: 2 分频; 00011: 3 分频; 00100: 4 分频; 00101: 5 分频; 11111: 31 分频

2.4.3.4 时钟源开关寄存器 (CLK_SRC_EN)

偏移地址: 0x0C

复位值: 0x0000_0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												pll_en	pll_src_sel	rch_en	xth_en
Reserved												RW	RW	RW	RW

位	标记	功能描述
31:2	Reserved	保留位
3	pll_en	PLL 开关 0: PLL 关闭 1: PLL 开启 当 PLL 作为系统内部时钟源, 即使 pll_en 为 0, PLL 及其参考时钟源也无法关闭。 - PLL 的倍频数为 3, 内核时钟最高为 32MHz, 外设时钟最高为 48MHz。
2	pll_src_sel	PLL 参考时钟选择 1: XTH 作为 PLL 参考时钟 0: RCH 作为 PLL 参考时钟 当 PLL 工作的时候, 其参考时钟源无法关闭。
1	rch_en	RCH 开关

位	标记	功能描述
		0: RCH 关闭 1: RCH 打开 当 RCH 作为系统内部时钟源, 或者 PLL 开启且其参考时钟为 RCH 的时候, 即使 rch_en 为 0, RCH 也无法关闭。
0	xth_en	晶振 (XTH) 开关 0: XTH 关闭 1: XTH 打开 当 XTH 作为系统内部时钟源, 或者 PLL 开启且其参考时钟为 XTH 的时候, 即使 xth_en 为 0, XTH 也无法关闭。

2.4.3.5 时钟状态寄存器 (CLK_SR)

偏移地址: 0x10

复位值: 0x0000_0009

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		pll_st	xtl_st	xth_st	rch_st	mcu_clk_st			per_clk_st						
					R			R							

位	标记	功能描述
31:14	Reserved	保留位
13	pll_st	PLL 的工作状态 0: PLL 时钟未稳定; 1: PLL 时钟已稳定
12	xtl_st	XTL 的工作状态 0: XTL 时钟未稳定; 1: XTL 时钟已稳定
11	xth_st	XTH 的工作状态 0: XTH 时钟未稳定; 1: XTH 时钟已稳定
10	rch_st	RCH 的工作状态 0: RCH 时钟未稳定; 1: RCH 时钟已稳定
9:5	mcu_clk_st	内核时钟来源寄存器 00001: RCH 在为外设提供时钟; 00010: XTH 在为外设提供时钟; 10000: PLL 在为外设提供时钟

位	标记	功能描述
4:0	per_clk_st	外设时钟来源寄存器 00001: RCH 在为外设提供时钟; 00010: XTH 在为外设提供时钟; 00100: RCL 在为外设提供时钟; 01000: XTL 在为外设提供时钟; 10000: PLL 在为外设提供时钟

2.4.3.6 XTL 配置 (XTL_CR)

地址: 0x2002-8084

复位值: 0x0000-0100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						w up _c lk _s t	w up _c lk _s el	Reserved				xtl _st	xtl_b	xtl_en	
						r	rw					r	rw	rw	

位	标记	功能描述
31:10	Reserved	保留位
9	wup_clk_sel	WUP 时钟来源 0: 内部低速振荡器 RCL 为 WUP 提供时钟; 1: 外部低速振荡器 XTL 为 WUP 提供时钟
8	wup_clk_sel	WUP 模块时钟源选择 0: 内部低速振荡器 RCL; 1: 外部低速振荡器 XTL
7:5	Reserved	保留位
4	xtl_st	外部振荡器 XTL 的工作状态 0: XTL 时钟未稳定; 1: XTL 时钟已稳定
3:1	xtl_b	外部低速晶振 XTL 的驱动能力选择 值越大驱动能力越强, 000 为最弱, 111 为最强。 用户需要根据晶振特性、负载电容及电路板寄生参数选择适当的驱动能力。 驱动能力越大则功耗越大; 驱动能力越弱, 则功耗越小。

位	标记	功能描述
0	xtl_en	外部低速晶振 XTL 开关 0: 关闭 1: 打开 当外设时钟源 XTL 或者 WUP 的时钟源为 XTL 时，即使 xtl_en 为 0，XTL 也无法关闭。

2.4.3.7 RCH 频率选择 (RCH_SEL)

地址: 0x3000_0E00

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														rch_sel	
Reserved														RW	

位	标记	功能描述
31:1	Reserved	保留位
0	rch_sel	RCH 时钟频率选择, 0: RCH 频率 16MHz; 1: RCH 频率 32MHz

2.4.4 CMU 寄存器映射

CMU 寄存器列表

基地址: 0x3000_02E4

寄存器	偏移量	寄描述
PER_EN	0x00	外设时钟使能控制寄存器
CLK_SEL	0x04	时钟来源选择
CLK_DIV	0x08	时钟分频比
CLK_SRC_EN	0x0C	时钟源使能
CLK_SR	0x10	时钟状态寄存器

下表为绝对地址

寄存器	绝对地址	寄描述
XTL_CR	0x2002-8084	外设时钟使能控制寄存器
CLK_SEL	0x3000_0E00	RCH 频率选择

2.5 通用和复用功能 I/O

GPIO 是用户可配置的通用 IO，每一个 GPIO 口都可以独立配置成输入输出、外设复用功能或模拟功能。GPIOA0~15 对应 PA0~PA15，GPIOB0~1 对应 PB0~PB1。

注意：PA9/PA10/PA14 专用于访问 MCU 模块与读写器模块通信，其他复用功能不可使用。

2.5.1 GPIO 功能描述

2.5.1.1 主要功能

- 输出状态：上拉、下拉功能，开源输出，开漏输出和推挽输出；
- 掉电模式 2 下，IO 会保持掉电前的状态不变；
- GPIO 的输出可以来自于 GPIO 的 ODR 寄存器或者外设功能输出；
- 输入状态：悬空输入，上拉、下拉输入；
- 输入的数据会被存入 GPIO 的 IDR 寄存器或者外设数据输入；
- 支持模拟功能数据传输；
- 外设功能接口可选；
- 可以灵活的为每一个 GPIO 选择对应的输入口；
- IO 模式由 GPIO_MODER 寄存器选择输入模式、输出模式、复用模式和模拟模式；
- PA10 可用作 BOOT 配置，见章节 2.1.4。

2.5.1.1.1 复用功能

本芯片的外部 IO 和内部模块的连接复用器被 GPIOA_AFRH 和 GPIOA_AFRL 寄存器控制，写寄存器 GPIO_MODER[MODERx] = 2'b10 将 GPIOx 配置成复用功能，可以灵活的将内部模块的端口映射到 PAD 上。

每一个 IO 都有一个拆分器把复用功能连通，通过 GPIO_AFRL 和 GPIO_AFRH 两个寄存器来控制具体复用到哪个功能，复用详情见表 5-1。

在复位之后，复用控制器会默认把 PAD 连接到 AF0 功能上，串口 1 支持 ISP。

PAD	AF0	AF0_ DIR	AF1	AF1_ DIR	AF2	AF2_ DIR	AF3	AF3_ DIR	AF4	AF4_ DIR	AF5	AF5_ DIR
PA4	-	-	-	-	TIM1_CH1N	O	-	-	TIM1_CH3	IO	-	-
PA5	UART0_TXD	O	UART1_TXD	O	SPI_MISO	I	I2C_SDA	IO	TIM1_CH3N	O	-	-
PA6	UART0_RXD	I	UART1_RXD	I	SPI_MOSI	O	I2C_SCL	O	TIM1_CH4	IO	-	-

PAD	AF0	AF0_ DIR	AF1	AF1_ DIR	AF2	AF2_ DIR	AF3	AF3_ DIR	AF4	AF4_ DIR	AF5	AF5_ DIR
PA15	-	O	-	-	-	-	-	-	TIM1_CH4N	O	-	-
PB0	UART1_TXD	O	UART0_RXD	I	SPI_SCK	O	I2C_SDA	IO	TIM1_BKIN	O	-	-
PB1	UART1_RXD	I	UART0_TXD	O	-	-	I2C_SCL	O	TIM2_BKIN	I	-	-
PA7	-	IO	-	-	-	-	-	-	TIM2_CH1	IO	-	-
PA8	RTC_32kHz	O	RTC_Alarm	O	RTC_1Hz	O	RTC_256Hz	O	TIM2_CH1N	O	-	-
PA9	TIM1_CH1	IO	I2C_SDA	IO	UART0_RXD	I	SPI_CLK	O	TIM2_CH2	IO	LVD_OUT	O
PA10	TIM1_BKIN	I	I2C_SCL	I	UART0_TXD	O	-	-	TIM2_CH2N	O	-	-
PA11	TIM2_BKIN	I	CLK_XTH	O	UART1_TXD	O	SPI_MISO	O	TIM2_CH3	IO	-	-
PA12	-	-	HCLK	O	UART1_RXD	I	SPI_MOSI	O	TIM2_CH3N	O	-	-
PA13	-	-	SPI_SCK	O	I2C_SDA	IO	LVD_OUT	O	TIM2_CH4	IO	-	-
PA14	ADC_TRI	I	SPI_MOSI	O	I2C_SCL	O	CLK_XTL	O	TIM2_CH4N	O	-	-
PA1	TSMC	IO	SPI_MISO	I	UART0_RX	I	CLK_XTH	O	TIM1_CH1N	O	CLK_RCH	O
PA0	TCKC	I	PER_CLK	O	UART0_TX	O	HCLK	O	TIM1_CH1	IO	CLK_RCL	O
PA2	CLK_PLL	IO	CLK_RCH	O	TIM1_CH1	IO	UART1_TXD	O	TIM_CH2	IO	-	-
PA3	CLK_XTL	O	CLK_RCL	O	TIM1_CH1N	O	UART1_RXD	I	TIM1_CH2N	O	-	-

注：

PER_CLK——外设时钟；

HCLK——内核（MCU）时钟；

CLK_RCL——内部低频 RC 振荡器时钟；

CLK_RCH——内部高频 RC 振荡器时钟；

CLK_XTL——外部低频晶体振荡器时钟；

CLK_XTH——外部高频晶体振荡器时钟。

注意：PA9/PA10/PA14 专用于访问 MCU 模块与读写器模块通信，其他复用功能不可使用。

2.5.1.1.2 模拟功能

GPIO 功能由 GPIO_MODER 寄存器配置。使用 ADC、TSC、XTL、XTH、LVD 等模块需用使用外部模拟量时需要配置 GPIO 为模拟模式 $GPIO_MODER[MODERx] = 2'b11$ ，以支持模拟功能。

注意：同时只能有一个模块使用 GPIO 的模拟功能。

注意：PA9/PA10/PA14 专用于访问 MCU 模块与读写器模块通信，其他复用功能不可使用。

表 2-3 GPIO 模拟功能表

PAD	I/O	模拟模式 (GPIO 配置)	功能描述
PA4	I	TS5	触摸通道 5
	I	AIN5	ADC 通道 5
PA5	I	TS6	触摸通道 6
	I	AIN6	ADC 通道 6
	I	AVREF_N	ADC 外部基准电压 N
PA6	I	TS7	触摸通道 7
	I	AIN7	ADC 通道 7
	I	AVREF_P	ADC 外部基准电压 P
PA15	I	TS16	触摸通道 16
PB0	I	TS17	触摸通道 17
	I	AIN8	ADC 通道 8
	O	XTHI	外部高速晶振 XTH 输入
PB1	I	TS18	触摸通道 18
	I	AIN9	ADC 通道 9
	O	XTHO	外部高速晶振 XTH 输出
PA7	I	TS8	触摸通道 8
PA8	I	LVDIN1	LVD 监测电压
	I	TS9	触摸通道 9
PA9	-	-	-
PA10	-	-	-
PA11	I	LVDIN2	LVD 监测电压
	I	TS12	触摸通道 12
PA12	I	TS13	触摸通道 13
	I	AIN1	ADC 通道 1
PA13	I	TS14	触摸通道 14
	I	LVDIN3	LVD 监测电压
	I	XTLI	外部低速晶振 XTL 输入
PA14	-	-	-
PA1	I	TS2	触摸通道 2
PA0	I	TS1	触摸通道 1
PA2	I	TS3	触摸通道 3
	I	AIN3	ADC 通道 3
PA3	I	TS4	触摸通道 4
	I	AIN4	ADC 通道 4

2.5.1.2 输入配置

当一个 IO 口被配置成输入模式（GPIO_MODER[MODERx] = 2'b00）时，

1. 输出寄存器会被关闭；
2. 施密特触发器打开；
3. 上拉下拉控制口会根据 GPIO_PUPDR 寄存器进行配置；
4. 每个 AHB 周期，输入的数据会被输入寄存器刷新一次；
5. 每个寄存器代表一个 IO 口的输入值。

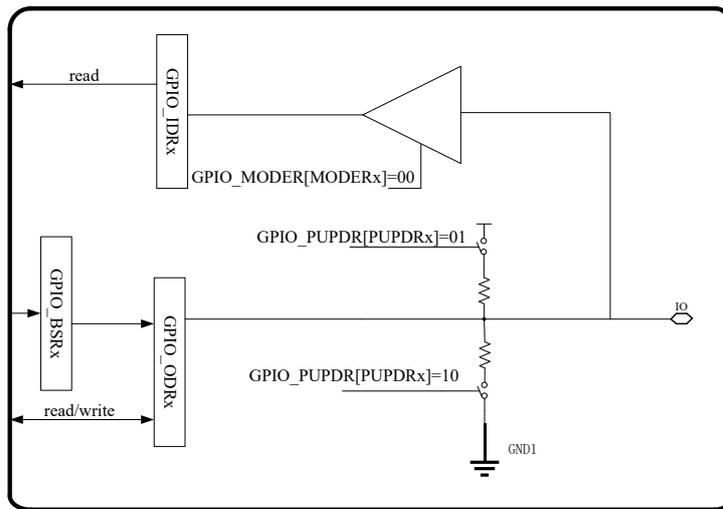


图 2-2 GPIO 输入配置原理图

当 GPIO 被设置为输入模式时，可被用作外部中断。EXTI[15:0]对应 PA15 ~ 0 的中断，EXTI[17:16]对应 PB1/0 的中断。中断的使能和屏蔽及触发方式的设置可以在 GPIOA_LPMR 和 GPIOA_INTER 中设置。

表 2-4 GPIO 输入功能表

引脚	I/O	输入模式 (GPIO 配置)	备注
PA0	I	EXTI[0]	
PA1	I	EXTI[1]	
PA2	I	EXTI[2]	
PA3	I	EXTI[3]	
PA4	I	EXTI[4]	
PA5	I	EXTI[5]	
PA6	I	EXTI[6]	

引脚	I/O	输入模式 (GPIO 配置)	备注
PA7	I	EXTI[7]	
PA8	I	EXTI[8]	
PA9	I	EXTI[9]	
PA10	I	EXTI[10]	
PA11	I	EXTI[11]	
PA12	I	EXTI[12]	
PA13	I	EXTI[13]	
PA14	I	EXTI[14]	
PA15	I	EXTI[15]	
PB0	I	EXTI[16]	
PB1	I	EXTI[17]	

2.5.1.3 输出配置

当一个 IO 口被设置成输出模式 ($\text{GPIO_MODER}[\text{MODER}_x] = 2'b01$) 时,

1. 输出数据寄存器会被打开;
2. 施密特触发器输入模式打开;
3. 上拉、下拉控制口会根据 GPIO_PUPDR 寄存器进行配置;
4. 每个 AHB 周期, IO 端口的数据会被输入寄存器刷新一次;
5. 每个写周期, 都会把输出寄存器里面的数据送到 IO 口上;
6. 当开漏和开源输出都关闭时, 为推挽输出。

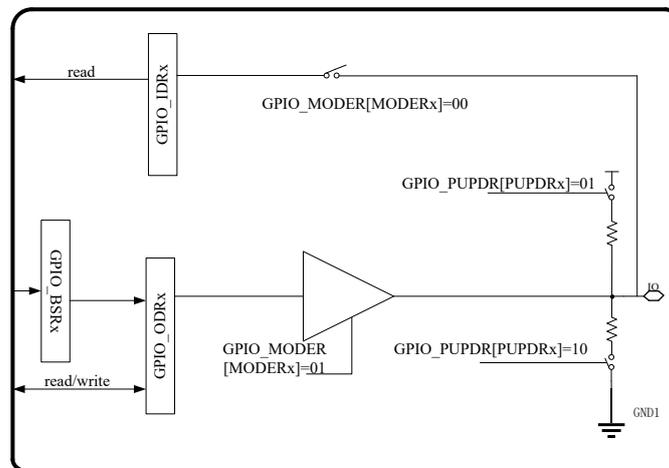


图 2-3 GPIO 输出配置原理图

2.5.1.4 复用功能配置

当配置成复用功能（ $\text{GPIO_MODER}[\text{MODERx}] = 2'b10$ ）时，

1. 出数据寄存器被芯片内部的模块端口驱动；
2. 口的输入输出方向被模块内部的控制信号决定；
3. 施密特触发器输入模式被激活；
4. 模块的上拉、下拉不再受 GPIO_PUPDR 控制，而是受到与之相连的模块决定。

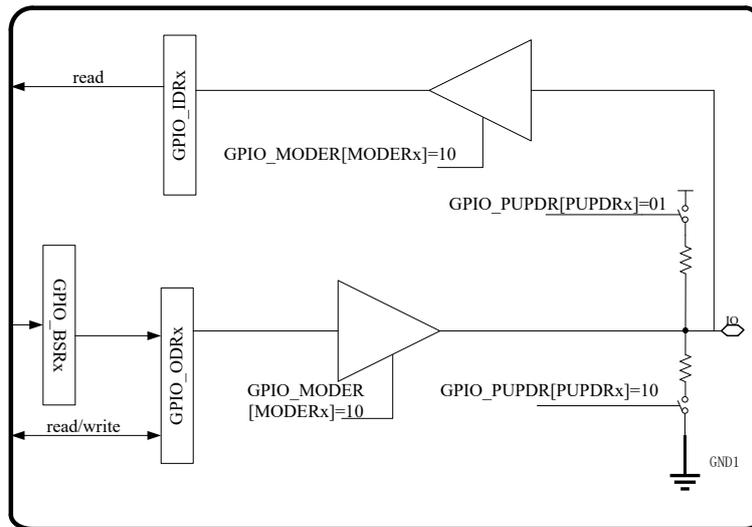


图 2-4 GPIO 复用功能配置原理图

2.5.1.5 模拟功能配置

当配置成模拟功能时（ $\text{GPIO_MODER}[\text{MODERx}] = 2'b11$ ）

1. 输出数据寄存器会被关闭；
2. 施密特触发器会被关闭，输入数据总为 0。

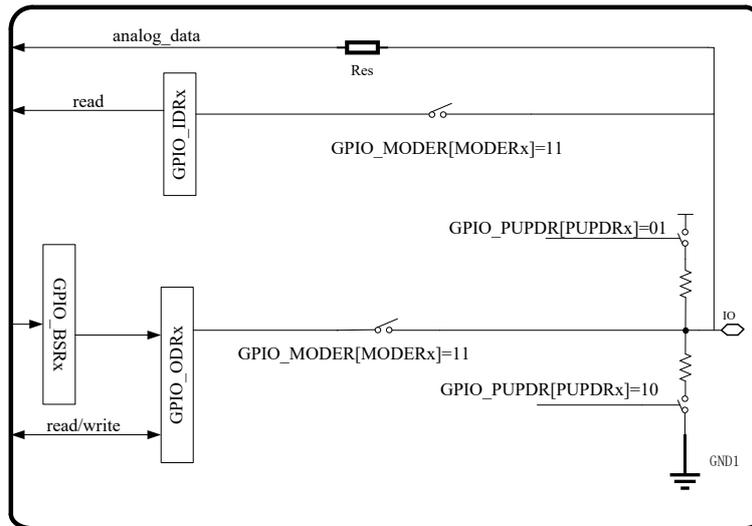


图 2-5 GPIO 模拟功能配置原理图

2.5.2 GPIOA 寄存器描述

2.5.2.1 GPIOA 模式控制寄存器 (GPIOA_MODER)

偏移地址: 0x00

复位值: 0x3A00_800A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODER15	MODER14	MODER13	MODER12	MODER11	MODER10	MODER9	MODER8								
RW	RW	RW	RW	RW	RW	RW	RW								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODER7	MODER6	MODER5	MODER4	MODER3	MODER2	MODER1	MODER0								
RW	RW	RW	RW	RW	RW	RW	RW								

位	标记	功能描述
31:30	MODER15	GPIOA15 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
29:28	MODER14	GPIOA14 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
27:26	MODER13	GPIOA13 端口控制位 00: 输入模式; 01: 输出模式;

位	标记	功能描述
		10: 复用功能; 11: 模拟功能。
25:24	MODER12	GPIOA12 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
23:22	MODER11	GPIOA11 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
21:20	MODER10	GPIOA10 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
19:18	MODER9	GPIOA9 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
17:16	MODER8	GPIOA8 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
15:14	MODER7	GPIOA7 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
13:12	MODER6	GPIOA6 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
11:10	MODER5	GPIOA5 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
9:8	MODER4	GPIOA4 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
7:6	MODER3	GPIOA3 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
5:4	MODER2	GPIOA2 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。
3:2	MODER1	GPIOA1 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。

位	标记	功能描述
1:0	MODER0	GPIOA0 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能。

2.5.2.2 GPIOA 输出控制寄存器 (GPIOA_OTYPER)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSx															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODx															
RW															

位	标记	功能描述
31	OS15	GPIOA15 开源控制位 0: 开源功能关闭; 1: 开源功能打开
30	OS14	GPIOA14 开源控制位 0: 开源功能关闭; 1: 开源功能打开
29	OS13	GPIOA13 开源控制位 0: 开源功能关闭; 1: 开源功能打开
28	OS12	GPIOA12 开源控制位 0: 开源功能关闭; 1: 开源功能打开
27	OS11	GPIOA11 开源控制位 0: 开源功能关闭; 1: 开源功能打开
26	OS10	GPIOA10 开源控制位 0: 开源功能关闭; 1: 开源功能打开
25	OS9	GPIOA9 开源控制位 0: 开源功能关闭; 1: 开源功能打开
24	OS8	GPIOA8 开源控制位 0: 开源功能关闭; 1: 开源功能打开
23	OS7	GPIOA7 开源控制位 0: 开源功能关闭; 1: 开源功能打开
22	OS6	GPIOA6 开源控制位

位	标记	功能描述
		0: 开源功能关闭; 1: 开源功能打开
21	OS5	GPIOA5 开源控制位 0: 开源功能关闭; 1: 开源功能打开
20	OS4	GPIOA4 开源控制位 0: 开源功能关闭; 1: 开源功能打开
19	OS3	GPIOA3 开源控制位 0: 开源功能关闭; 1: 开源功能打开
18	OS2	GPIOA2 开源控制位 0: 开源功能关闭; 1: 开源功能打开
17	OS1	GPIOA1 开源控制位 0: 开源功能关闭; 1: 开源功能打开
16	OS0	GPIOA0 开源控制位 0: 开源功能关闭; 1: 开源功能打开
15	OD15	GPIOA15 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
14	OD14	GPIOA14 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开。
13	OD13	GPIOA13 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
12	OD12	GPIOA12 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
11	OD11	GPIOA11 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
10	OD10	GPIOA10 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
9	OD9	GPIOA9 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
8	OD8	GPIOA8 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
7	OD7	GPIOA7 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
6	OD6	GPIOA6 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
5	OD5	GPIOA5 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
4	OD4	GPIOA4 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开

位	标记	功能描述
3	OD3	GPIOA3 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
2	OD2	GPIOA2 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
1	OD1	GPIOA1 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
0	OD0	GPIOA0 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开

注：当开漏和开源输出功能都关闭时，IO 被设置为推挽输出。

2.5.2.3 GPIOA 输入模式控制寄存器 (GPIOA_ITYPER)

偏移地址：0x08

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSx															
RW															

位	标记	功能描述
15	CS15	设置 GPIOA15 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
14	CS14	设置 GPIOA14 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
13	CS13	设置 GPIOA13 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
12	CS12	设置 GPIOA12 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
11	CS11	设置 GPIOA11 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
10	CS10	设置 GPIOA10 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
9	CS9	设置 GPIOA9 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
8	CS8	设置 GPIOA8 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式

位	标记	功能描述
7	CS7	设置 GPIOA7 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
6	CS6	设置 GPIOA6 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
5	CS5	设置 GPIOA5 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
4	CS4	设置 GPIOA4 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
3	CS3	设置 GPIOA3 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
2	CS2	设置 GPIOA2 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
1	CS1	设置 GPIOA1 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
0	CS0	设置 GPIOA0 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式

2.5.2.4 GPIOA 上下拉控制寄存器 (GPIOA_PUPDR)

偏移地址: 0x0C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPDR15	PUPDR14	PUPDR13	PUPDR12	PUPDR11	PUPDR10	PUPDR9	PUPDR8								
RW	RW	RW	RW	RW	RW	RW	RW								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPDR7	PUPDR6	PUPDR5	PUPDR4	PUPDR3	PUPDR2	PUPDR1	PUPDR0								
RW	RW	RW	RW	RW	RW	RW	RW								

位	标记	功能描述
31:30	PUPDR15	GPIOA15 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
29:28	PUPDR14	GPIOA14 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位

位	标记	功能描述
27:26	PUPDR13	GPIOA13 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
25:24	PUPDR12	GPIOA12 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
23:22	PUPDR11	GPIOA11 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
21:20	PUPDR10	GPIOA10 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
19:18	PUPDR9	GPIOA9 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
17:16	PUPDR8	GPIOA8 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
15:14	PUPDR7	GPIOA7 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
13:12	PUPDR6	GPIOA6 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
11:10	PUPDR5	GPIOA5 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
9:8	PUPDR4	GPIOA4 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
7:6	PUPDR3	GPIOA3 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
5:4	PUPDR2	GPIOA2 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
3:2	PUPDR1	GPIOA1 端口配置成上拉还是下拉

位	标记	功能描述
		00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
1:0	PUPDR0	GPIOA0 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位

2.5.2.5 GPIOA 性能控制寄存器 (GPIOA_SDR)

偏移地址: 0x10

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SRx															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRx															
RW															

位	标记	功能描述
31	SR15	GPIOA15 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
30	SR14	GPIOA14 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
29	SR13	GPIOA13 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
28	SR12	GPIOA12 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
27	SR11	GPIOA11 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
26	SR10	GPIOA10 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
25	SR9	GPIOA9 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
24	SR8	GPIOA8 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
23	SR7	GPIOA7 对应的 PAD 的压摆率

位	标记	功能描述
		1: 快速压摆率; 0: 低速压摆率
22	SR6	GPIOA6 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
21	SR5	GPIOA5 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
20	SR4	GPIOA4 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
19	SR3	GPIOA3 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
18	SR2	GPIOA2 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
17	SR1	GPIOA1 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
16	SR0	GPIOA0 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
15	DR15	GPIOA15 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
14	DR14	GPIOA14 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
13	DR13	GPIOA13 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
12	DR12	GPIOA12 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
11	DR11	GPIOA11 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
10	DR10	GPIOA10 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
9	DR9	GPIOA9 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
8	DR8	GPIOA8 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
7	DR7	GPIOA7 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
6	DR6	GPIOA6 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
5	DR5	GPIOA5 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力

位	标记	功能描述
4	DR4	GPIOA4 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
3	DR3	GPIOA3 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
2	DR2	GPIOA2 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
1	DR1	GPIOA1 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
0	DR0	GPIOA0 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力

2.5.2.6 GPIOA 中断模式寄存 (GPIOA_LPMR)

偏移地址: 0x14

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPMR15	LPMR14	LPMR13	LPMR12	LPMR11	LPMR10	LPMR9	LPMR8								
W	W	W	W	W	W	W	W								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LPMR7	LPMR6	LPMR5	LPMR4	LPMR3	LPMR2	LPMR1	LPMR0								
W	W	W	W	W	W	W	W								

位	标记	功能描述
31:0	LPMRx	GPIOAx 对应 PAD 的外部中断检测控制位 LPMRx[2x + 1: 2x]: MODE1, MODE0 00: 高电平检测; 01: 下降沿检测; 10: 上升沿检测; 11: 低电平检测

2.5.2.7 GPIOA 外部中断采集使能寄存器 (GPIOA_INTER)

偏移地址: 0x18

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INT_EN															

RW

位	标记	功能描述
15:0	INT_EN	GPIOAx 对应 PAD 的外部中断检测使能位 0: 不接收来自 PAD 的外部中断输入; 1: 接收来自 PAD 的外部中断输入

2.5.2.8 GPIOA 输入数据寄存器 (GPIOA_IDR)

偏移地址: 0x1C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
R	R	R	R	R	R	R	R

位	标记	功能描述
15:0	IDRx	GPIOAx 的接收数据输入

2.5.2.9 GPIOA 输出数据寄存器 (GPIOA_ODR)

偏移地址: 0x20

复位值: 0x0000_0000

3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	
Reserved																
1	1	1	1	1	1	1	5	8	7	6	5	4	3	2	1	0
5	4	3	2	1	0											
ODRx																

RW

位	标记	功能描述
15:0	ODRx	GPIOAx 的接收数据输出控制位

2.5.2.10 GPIOA 写使能控制寄存器 (GPIOA_BSR)

偏移地址: 0x24

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

位	标记	功能描述
31:16	BRx	清除端口 x 的位 y (y = 0...15) 这些位只能写入并只能以字 (16 位) 的形式操作 0: 对于对应的 ODRy 位不产生影响; 1: 清除对应的 ODRy 位为 0。 注: 如果同时设置了 BSy 和 BRy 的对应位, BSy 位起作用
15:0	BSx	设置端口 x 的位 y (y = 0...15) 这些位只能写入并只能以字 (16 位) 的形式操作 0: 对于对应的 ODRy 位不产生影响; 1: 设置对应的 ODRy 位为 1

2.5.2.11 GPIOA 复用控制寄存器高位 (GPIOA_AFRH)

偏移地址: 0x28

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEH15[3:0]				AFSEH14[3:0]				AFSEH13[3:0]				AFSEH12[3:0]			

RW				RW				RW				RW			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEH11[3:0]				AFSEH10[3:0]				AFSEH9[3:0]				AFSEH8[3:0]			
RW				RW				RW				RW			

位	标记	功能描述
31:28	AFSEH15[3:0]	对应的 GPIOA15 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
27:24	AFSEH14[3:0]	对应的 GPIOA14 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
23:20	AFSEH13[3:0]	对应的 GPIOA13 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
19:16	AFSEH12[3:0]	对应的 GPIOA12 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
15:12	AFSEH11[3:0]	对应的 GPIOA11 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
11:8	AFSEH10[3:0]	对应的 GPIOA10 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
7:4	AFSEH9[3:0]	对应的 GPIOA9 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
3:0	AFSEH8[3:0]	对应的 GPIOA8 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3

2.5.2.12 GPIOA 复用控制寄存器低位 (GPIOA_AFRL)

偏移地址: 0x2C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7[3:0]				AFSEL6[3:0]				AFSEL5[3:0]				AFSEL4[3:0]			

RW				RW				RW				RW			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3[3:0]				AFSEL2[3:0]				AFSEL1[3:0]				AFSEL0[3:0]			
RW				RW				RW				RW			

位	标记	功能描述
31:28	AFSEL7[3:0]	对应的 GPIOA7 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
27:24	AFSEL6[3:0]	对应的 GPIOA6 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
23:20	AFSEL5[3:0]	对应的 GPIOA5 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
19:16	AFSEL4[3:0]	对应的 GPIOA4 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
15:12	AFSEL3[3:0]	对应的 GPIOA3 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
11:8	AFSEL2[3:0]	对应的 GPIOA2 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
7:4	AFSEL1[3:0]	对应的 GPIOA1 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
3:0	AFSEL0[3:0]	对应的 GPIOA0 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3

2.5.3 GPIOA 寄存器映射

GPIOA 寄存器列表

基地址: 0x3000_0200

寄存器	偏移地址	寄存器描述
GPIOA_MODER	0x00	GPIOA 模式控制寄存器

GPIOA_OTYPER	0x04	GPIOA 输出控制寄存器
GPIOA_ITYPER	0x08	GPIOA 输入控制寄存器
GPIOA_PUPDR	0x0C	GPIOA 上拉下拉控制寄存器
GPIOA_SDR	0x10	GPIOA 性能控制寄存器
GPIOA_LPMR	0x14	GPIOA 外部中断检测控制寄存器
GPIOA_INTER	0x18	GPIOA 外部中断使能控制寄存器
GPIOA_IDR	0x1C	GPIOA 输入数据寄存器
GPIOA_ODR	0x20	GPIOA 输出数据寄存器
GPIOA_BSR	0x24	GPIOA 写使能控制寄存器
GPIOA_AFRH	0x28	GPIOA 复用控制寄存器高位
GPIOA_AFRL	0x2C	GPIOA 复用控制寄存器低位

2.5.4 GPIOB 寄存器描述

2.5.4.1 GPIOB 模式控制寄存器 (GPIOB_MODER)

偏移地址: 0x00

复位值: 0x0F00_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MODER1	MODER0		
Reserved												RW	RW		

位	标记	功能描述
31:4	Reserved	保留位
3:2	MODER1	GPIOB1 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能
1:0	MODER0	GPIOB0 端口控制位 00: 输入模式; 01: 输出模式; 10: 复用功能; 11: 模拟功能

2.5.4.2 GPIOB 输出控制寄存器 (GPIOB_OTYPER)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														OSx	
														RW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ODx	
														RW	

位	标记	功能描述
31:18	Reserved	保留位
17	OS1	GPIOB1 开源控制位 0: 开源功能关闭; 1: 开源功能打开
16	OS0	GPIOB0 开源控制位 0: 开源功能关闭; 1: 开源功能打开
15:12	Reserved	保留位
1	OD1	GPIOB1 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开
0	OD0	GPIOB0 开漏控制位 0: 开漏功能关闭; 1: 开漏功能打开

注: 当开漏和开源输出功能都关闭时, IO 被设置为推挽输出。

2.5.4.3 GPIOB 输入模式控制寄存器 (GPIOB_ITYPER)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CSx	
														RW	

位	标记	功能描述
31:2	Reserved	保留位

位	标记	功能描述
1	CS1	设置 GPIOB1 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式
0	CS0	设置 GPIOB0 的输入模式 0: 施密特触发器模式; 1: CMOS 输入模式

2.5.4.4 GPIOB 上下拉控制寄存器 (GPIOB_PUPDR)

偏移地址: 0x0C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PUPDR1	PUPDR0		
Reserved												RW	RW		

位	标记	功能描述
31:4	Reserved	保留位
3:2	PUPDR1	GPIOB1 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位
1:0	PUPDR0	GPIOB0 端口配置成上拉还是下拉 00: 不上拉也不下拉; 01: 上拉; 10: 下拉; 11: 保留位

2.5.4.5 GPIOB 性能控制寄存器 (GPIOB_SDR)

偏移地址: 0x10

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														SRx	
Reserved														RW	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														DRx	
Reserved														RW	

位	标记	功能描述
31:18	Reserved	保留位
17	SR1	GPIOB1 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
16	SR0	GPIOB0 对应的 PAD 的压摆率 1: 快速压摆率; 0: 低速压摆率
15:2	Reserved	保留位
1	DR1	GPIOB1 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力
0	DR0	GPIOB0 对应的 PAD 的驱动能力 1: 高驱动能力; 0: 低驱动能力

2.5.4.6 GPIOB 中断模式寄存 (GPIOB_LPMR)

偏移地址: 0x14

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												LPMR1	LPMR0		
Reserved												W	W		

位	标记	功能描述
31:0	LPMRx	GPIOA _x 对应 PAD 的外部中断检测控制位 LPMRx[2x + 1: 2x]: MODE1, MODE0 00: 高电平检测; 01: 下降沿检测; 10: 上升沿检测; 11: 低电平检测

2.5.4.7 GPIOB 外部中断采集使能寄存器 (GPIOB_INTER)

偏移地址: 0x18

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														INT_ENx	
Reserved														RW	

位	标记	功能描述
31:2	Reserved	保留
1:0	INT_ENx	GPIOAx 对应 PAD 的外部中断检测使能位 0: 不接收来自 PAD 的外部中断输入; 1: 接收来自 PAD 的外部中断输入

2.5.4.8 GPIOB 输入数据寄存器 (GPIOB_IDR)

偏移地址: 0x1C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						IDR1	IDR0
Reserved						R	R

位	标记	功能描述
31:2	Reserved	保留位
1:0	IDRx	GPIOBx 的接收数据输入

2.5.4.9 GPIOB 输出数据寄存器 (GPIOB_ODR)

偏移地址: 0x20

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ODRx	
Reserved														RW	

位	标记	功能描述
31:2	Reserved	保留位
1:0	ODRx	GPIOBx 的接收数据输出控制位

2.5.4.10 GPIOB 读写使能控制寄存器 (GPIOB_BSR)

偏移地址: 0x24

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														BR1	BR0
Reserved														W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														BS1	BS0
Reserved														W	W

位	标记	功能描述
31:18	Reserved	保留位
17:16	BRx	清除端口 x 的位 y (y = 0/1) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对于对应的 ODRy 位不产生影响; 1: 清除对应的 ODRy 位为 0。 注: 如果同时设置了 BSy 和 BRy 的对应位, BSy 位起作用
15:2	Reserved	保留位
1:0	BSx	设置端口 x 的位 y (y = 0/1) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对于对应的 ODRy 位不产生影响; 1: 设置对应的 ODRy 位为 1

2.5.4.11 GPIOB 复用控制寄存器低位 (GPIOB_AFRL)

偏移地址: 0x2C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								AFSEL1[3:0]				AFSEL0[3:0]			
								RW				RW			

位	标记	功能描述
31:8	Reserved	保留位
7:4	AFSEL1[3:0]	对应的 GPIOB1 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3
3:0	AFSEL0[3:0]	对应的 GPIOB0 的复用功能选择寄存器 0000: AF0; 0001: AF1; 0010: AF2; 0011: AF3

2.5.5 GPIOB 寄存器映射

GPIOB 寄存器列表

基地址: 0x3000_0240

寄存器	偏移地址	描述
GPIOB_MODER	0x00	GPIOB 模式控制寄存器
GPIOB_OTYPER	0x04	GPIOB 输出控制寄存器
GPIOB_ITYPER	0x08	GPIOB 输入控制寄存器
GPIOB_PUPDR	0x0C	GPIOB 上拉下拉控制寄存器
GPIOB_SDR	0x10	GPIOB 性能控制寄存器
GPIOB_LPMR	0x14	GPIOB 外部中断检测控制寄存器
GPIOB_INTER	0x18	GPIOB 外部中断使能控制寄存器
GPIOB_IDR	0x1C	GPIOB 输入数据寄存器
GPIOB_ODR	0x20	GPIOB 输出数据寄存器

寄存器	偏移地址	描述
GPIOB_BSR	0x24	GPIOB 写使能控制寄存器
GPIOB_AFR1	0x2C	GPIOB 复用控制寄存器低位

2.6 中断

2.6.1 中断简介

MCU RISC-V 核有一个局部中断控制器 CLIC (Core-Local Interrupt Controller)，中断响应占用 6 个总线时钟周期。CLIC 可以产生机器模式计时器中断 (Machine Timer Interrupt)、机器模式软件中断 (Machine Software Interrupt) 两个标准 RISC-V 架构定义的中断类型。除了这两个标准 RISC-V 架构定义的中断，CLIC 还定义了 32 个中断源作为本地中断/局部中断 (Local Interrupt) 来处理，用于连接到外部设备，设置相应寄存器即可接受外设的输入信号作为中断。处理器可以通过 CLIC 接收到这 32 个外部设备的中断以及上述两个标准 RISC-V 架构定义的中断。每个中断都有相应的 Interrupt ID 号，上述 32 个中断源 ID 为 16~47，其中 16~30, 32~35 与 40~47 有外设连接，31、39 无外设连接。Interrupt ID 号可参见下面表格。

MCU 还支持不可屏蔽中断 (NMI)，NMI 不可被内核屏蔽。NMI 的中断源可以来源于 LVD 中断、PA4 中断和 RTC 闹钟中断。当某一中断被设为 NMI 中断源时，该中断对应的 ID 无效。

表 2-5 内核中断及其 Interrupt ID

ID (十进制)	说明
2 - 0	-
3	机器模式软件中断 (Machine Software Interrupt)
6 - 4	-
7	RTC 中断，也称为机器模式计时器中断 (Machine Timer Interrupt)
10 - 8	-
11	机器模式外部中断 (Machine External Interrupt)
12	CLIC 软件中断
15 - 13	-
16	SPI 中断
17	-
18	LVD 中断
19	UART0 收发中断 (TX/RX)
20	I2C 等待中断
21	I2C 错误中断

ID (十进制)	说明
22	Timer1 Break 中断
23	Timer1 Updata 中断
24	Timer1 Capture Compare 中断
25	Timer1 Trigger and Commutation 中断
26	Timer2 Break 中断
27	Timer2 Updata 中断
28	Timer2 Capture Compare 中断
29	Timer2 Trigger and Commutation 中断
30	ADC 中断
31	-
32	WUP 唤醒中断
33	UART1 (TX/RX) 中断
34	RTC 秒中断
35	RTC 闹钟中断
36	RTC 溢出中断
37	-
38-39	-
40	EXTI[0]外部中断
41	EXTI[1]外部中断
42	EXTI[2]外部中断
43	EXTI[3]外部中断
44	EXTI[4]外部中断
45	EXTI[9:5]外部中断
46	EXTI[15:10]外部中断
47	EXTI[17:16]外部中断

2.6.2 CLIC 寄存器

基址: 0x0280_0000

2.6.2.1 CLIC 中断等待寄存器 (clicintip)

偏移地址: Interrupt ID (十六进制)

复位值: 0x0000_0000

7	6	5	4	3	2	1	0
Reserved							clicintip
							RW

位	标记	功能描述
7:1	Reserved	保留位
0	clicintip	表明相应 Interrupt ID 的中断的等待状态 若置 1，说明当前有相应 Interrupt ID 的中断正在等待

2.6.2.2 CLIC 中断使能寄存器 (clicintie)

偏移地址: 0x400 + Interrupt ID (十六进制)

复位值: 0x0000_0000

7	6	5	4	3	2	1	0
Reserved							clicintie
							RW

位	标记	功能描述
7:1	Reserved	保留位
0	clicintie	可用于屏蔽与使能相应 Interrupt ID 的中断 写 0 屏蔽中断；写 1 使能中断

2.6.2.3 CLIC 中断配置寄存器 (clicintcfg)

偏移地址: 0x800 + Interrupt ID (十六进制)

复位值: 0x0000_0000

7	6	5	4	3	2	1	0
clicintcfg			Reserved				
RW							

位	标记	功能描述																
7:5	clicintcfg	<p>设置相应 Interrupt ID 中断等级和优先级。clicintcfg 中总共有 2 位可以指定如何编码给定中断的等级与优先级。确定中断等级的实际位数是由 CLIC 配置寄存器 cliccfg 中的 nlbit 位决定的，如果寄存器 cliccfg 中的 nlbits 的值小于 2，则剩余最低有效实现位用以设置优先级。如果将寄存器 cliccfg 中的 nlbits 的值设置为 0，则所有的中断等级为 255，并且 2 位都被用于设置优先级。如下表所示：</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>nlbits</th> <th>编码</th> <th>中断等级</th> <th>优先级</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>11111111</td> <td style="text-align: center;">255</td> <td>由 clicintcfg[2:1]配置</td> </tr> <tr> <td>1</td> <td>x11111111^[1]</td> <td style="text-align: center;">127 255</td> <td>由 clicintcfg[1]配置</td> </tr> <tr> <td>2</td> <td>xx11111111^[2]</td> <td style="text-align: center;">63 127 191 255</td> <td style="text-align: center;">0</td> </tr> </tbody> </table>	nlbits	编码	中断等级	优先级	0	11111111	255	由 clicintcfg[2:1]配置	1	x11111111 ^[1]	127 255	由 clicintcfg[1]配置	2	xx11111111 ^[2]	63 127 191 255	0
nlbits	编码	中断等级	优先级															
0	11111111	255	由 clicintcfg[2:1]配置															
1	x11111111 ^[1]	127 255	由 clicintcfg[1]配置															
2	xx11111111 ^[2]	63 127 191 255	0															

		[1] x 由 clicintcfg[2]配置; [2] xx 由 clicintcfg[2:1]配置; 高等级中断可以抢占低等级中断; 在中断等级和优先级相同的情况下, 内核优先响应最大的 Interrupt ID。
4:0	Reserved	保留位

2.6.2.4 CLIC 配置寄存器 (cliccfg)

偏移地址: 0xC00

复位值: 0x0000_0000

	7	6	5	4	3	2	1	0
Reserved	nmbits		nlbits				nvbits	
	R		RW				RW	

位	标记	功能描述
7	Reserved	保留位
6:5	nmbits	不可写, 读为 0
4:1	nlbits	设置 nlbits 可以设置寄存器 clicintcfg 中用于编码中断等级与优先级的位数, 见 clicintcfg 描述。
0	nvbits	当 nvbits 被置位, 选择硬件向量使能。在 CLIC Direct 模式下, nvbits 允许选定的中断向量化。在 CLIC Direct 模式下, 若 nvbits = 1, 则启动选择中断向量化。clicintcfg 最小有效实现位 (位 5) 控制对应中断的向量行为。在 CLIC Direct 模式下, nvbits 与 clicintcfg 的相关位会被置 1, 则中断会按照 mtvt CSR 中断向量表所说明的向量化。这允许一些中断跳转到 mtvec CSR 保存的公共基地址, 其他中断则被硬件向量化。中断跳转模式见 6.7.2 。

2.6.3 CLIC 寄存器映射

CLIC 寄存器列表

基地址: 0x0200_0000

寄存器	偏移地址	描述
msip	0x0000	机器模式软件中断等待寄存器
mtimecmp	0x4000	机器模式计时器比较值寄存器
mtime	0xBFF8	机器模式计时器寄存器

CLIC 寄存器列表

基地址: 0x0280_0000

寄存器	偏移地址	描述
-----	------	----

clicintip	0x000	CLIC 中断等待寄存器
clicintie	0x400	CLIC 中断使能寄存器
clicintcfg	0x800	CLIC 中断配置寄存器
cliccfg	0xC00	CLIC 配置寄存器

2.6.4 外部中断 (EXTI)

2.6.4.1 EXTI 介绍

外部中断控制器支持 18 个外部中断，每个中断均设有状态位，每个中断都有独立的触发和屏蔽设置。

外部中断的使能和屏蔽及触发方式的设置可以在 GPIOx_LPMR 和 GPIOx_INTER 中设置。EXTI[15:0]对应 PA15 ~ 0，EXTI[17:16]对应 PB1 ~ 0。

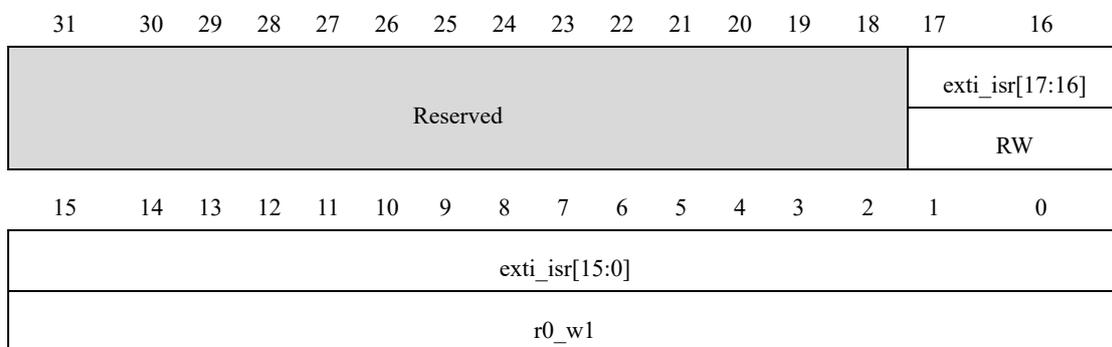
另外，

2.6.4.2 外部中断输入状态寄存器 (EXTI_ISR)

基址：0x3000_02C0

偏移地址：0x00

复位值：0x0000_0000



位	标记	功能描述
31:18	Reserved	保留位
17:0	exti_isr[x]	外部中断中断状态 1：产生相应位的外部中断，对相应位写 1 可以清除相应的外部中断 第 0 位寄存 GPIOA0 的中断状态； 第 1 位寄存 GPIOA1 的中断状态； ... 第 15 位寄存 GPIOA15 的中断状态； 第 16 位寄存 GPIOB0 的中断状态；

		第 17 位寄存 GPIOB1 的中断状态;
--	--	------------------------

2.6.5 EXTI 寄存器映射

EXTI 寄存器列表

基地址: 0x3000_02C0

寄存器	偏移地址	描述
EXTI_ISR	0x00	外部中断输入状态寄存器

2.6.6 不可屏蔽中断 NMI

2.6.6.1 NMI 介绍

NMI 不可被内核屏蔽。NMI 的中断源可以来源于 LVD 中断、PA4 中断和 RTC 闹钟中断。当某一中断被设为 NMI 中断源时，该中断对应的 ID 无效。

NMI 中断入口地址: 0x2000_0010;

NMI 异常入口地址: 0x2000_0014。

2.6.6.2 NMI 中断源选择寄存器

地址: 0x3000-02CC

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														nmi_sel	
Reserved														RW	

位	标记	功能描述
31:2	Reserved	保留位
1:0	nmi_sel	NMI 中断源选择 00: NMI 无效 01: NMI 的中断源为 LVD 中断 10: NMI 的中断源 RTC 的闹钟中断 11: NMI 的中断源 PA4 中断 NMI 中断入口: 0x2000_0010 NMI 异常入口: 0x2000_0014

2.6.7 中断操作

2.6.7.1 中断的进入和退出

当中断产生时，并且 `mstatus.MIE` 为 1 和中断源对应的中断使能信号打开时：

- a) `mstatus.MIE` 的值被复制到 `mcause.MPIE`，`mstatus.MIE` 被清零，有效阻隔中断；
- b) 中断等级被复制到 `mcause.MPIL` 寄存器；
- c) 将进入中断之前的特权模式设置在 `mstatus.MPP` 中；
- d) 当前 PC 被复制到 `mepc` 寄存器，之后 PC 变为 `mtvec.MODE` 设定的值。

此时，全局中断被关闭，中断控制器将由软件控制。可以通过写 `mstatus.MIE` 重新使能中断或者执行 `MRET` 指令退出中断处理。当执行了 `MRET` 指令后：

- a) 特权模式按照 `mstatus.MPP` 设置；
- b) 中断等级按照 `mcause.MPIL` 设置；
- c) `mstatus.MIE` 按照 `mcause.MPIE` 设置；
- d) PC 按照 `mepc` 设置。

此时，由软件控制。CSR 相关的寄存器在 6.8 章节中描述。

2.6.7.2 中断等级和优先级

在任何时候，hart 都以具有中断等级的特权模式运行。hart 的当前中断等级可在 `mintstatus` 寄存器查看。然而，当前特权模式对 hart 上运行的软件是不可见的。

在每个特权模式下，CLIC 架构支持最多 256 个中断等级。其中，较高的中断级可以抢占较低的中断等级。中断等级 0 对应于在中断处理程序之外的常规指令。CLIC 还支持给同一中断等级中的中断配置优先级，用于在同一中断级别上对挂起和启用的中断进行优先排序。在一个给定的中断级别上，优先级最高的中断被优先处理。如果有多个挂起并启用的中断具有相同的最高优先级，ID 号最高的中断被优先处理。

中断等级和每个等级中的中断优先级可以通过 `clicintcfg` 寄存器和 `cliccfg.nlbits` 寄存器配置。

2.6.8 中断控制状态寄存器

2.6.8.1 机器状态寄存器 (mstatus)

12	11	10	9	8	7	6	5	4	3	2	1	0
MPP		Reserved			MPIE	Reserved			MIE	Reserved		

RW		RW		RW	
----	--	----	--	----	--

位	标记	功能描述
12:11	MPP	寄存进入中断处理之前特权模式。
10:8	Reserved	保留位
7	MPIE	寄存进入中断处理之前中断使能（MIE）。
6:4	Reserved	保留位
3	MIE	中断使能寄存器，中断的总开关，设置为 0 不会进入中断处理
2:0	Reserved	保留位

通过设置 `mstatus.MIE` 可以使能中断总开关，通过设置机器中断使能（`mie`）可以设置每个中断的独立开关。

注意：在 CLIC 模式下，`mstatus.MPP` 和 `mstatus.MPIE` 可以通过 `mcause` 寄存器操作。

2.6.8.2 机器异常向量寄存器（`mtvec`）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BASE															
WARL															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE														MODE	
WARL														WARL	

位	标记	功能描述
31:2	BASE	中断向量基址 要求 64 字节对齐。
1:0	MODE	MODE 设置中断进程的模式 0x0 : 直接（Direct）模式，所有异步中断和同步异常设置 PC 为 BASE； 0x1 : 向量（Vectored）模式，异常设置 PC 为 BASE，中断设置 PC 为 $BASE + 4 \times mcause.EXCCODE$ ； 0x2 : CLIC 直接模式（CLIC Direct），所有异步中断和同步异常设置 PC 为 BASE； 0x3 : CLIC 向量模式（CLIC Vectored），中断设置 PC 为 $mtvt + mcause.EXCCODE \times 4$ ，异常设置 PC 为 BASE； 注：在非 CLIC 模式中，仅支持处理软件、计时器和外部中断

1) 直接（Direct）模式：此模式下，所有同步异常和异步中断使用 `mtvec.BASE` 地址。

在中断处理过程中，软件需要读 mcause 寄存器来确定中断的来源；

- 2) 向量 (Vectored) 模式：此模式下，PC 指针被设置为 $mtvec.BASE + 4 \times \text{exception code}$ 。
例如，当机器 timer 中断发生后，PC 指针被设置为 $mtvec.BASE + 0x1C$ 。一般来说，中断向量表由跳转指令占据，到专门的中断处理处执行。此模式下 BASE 必须是 64 字节对齐；
- 3) CLIC 直接模式 (CLIC Direct)：此模式下，处理器跳转到 mtevc 设置的地址处执行。
此模式下 BASE 必须是 64 字节对齐；
- 4) CLIC 向量模式 (CLIC Vectored)：此模式下，处理器转换到特权模式并设置 mcause.MINHV。之后做取址操作，地址为 $mtvt + 4 \times mcause.EXCCODE$ 。如果取址成功，处理器会清除 handler address 低位，并将 PC 设置为这个 handler address。之后会清除 mcause.MINHV。

同步异常 (exception) 总是陷入 mtvec.BASE 在机器模式中。

2.6.8.3 机器模式中断使能寄存器 (mie)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				MEIE		Reserved				MTIE		MSIE		Reserved	
Reserved				RW		Reserved				RW		RW		Reserved	

MIE 寄存器独立设置每个中断是否使能

位	标记	功能描述
31:12	Reserved	保留位
11	MEIE	机器模式软件中断使能
10:8	Reserved	保留位
7	MTIE	机器模式计时器中断使能
6:4	Reserved	保留位
3	MSIE	机器模式外部中断使能
2:0	Reserved	保留位

在 CLIC 模式中，mie 寄存器被硬件置 0，并且独立的中断使能由 clicintip[i] 控制。

2.6.8.4 机器模式中断等待寄存器 (mip)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				MEIP	Reserved				MTIP	Reserved				MSIP	Reserved	
				RO					RO					RO		

MIP 寄存器独立设置显示哪个中断在等待

位	标记	功能描述
31:12	Reserved	保留位
11	MEIE	机器模式软件中断等待
10:8	Reserved	保留位
7	MTIE	机器模式计时器中断等待
6:4	Reserved	保留位
3	MSIE	机器模式外部中断等待
2:0	Reserved	保留位

在 CLIC 模式中，mip 寄存器被硬件置 0，并且独立的中断使能由 clicintip[i] 控制。

2.6.8.5 机器模式异常原因寄存器 (mcause)

mcause 寄存器显示中断的来源。当中断产生时，mcause 最高位变为 1，低位显示中断的 ID。比如机器 timer 中断会使 mcause 被置为 0x8000_0007。mcause 也被用于显示同步异常来源，此时最高位被置为 0。

在 CLIC 模式，mcause 显示更多信息。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Interrupt	MINHV	MPP	MPIE	Reserved				MPIL							
WARL	WLRL	WLRL	WLRL					WLRL							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								Exception Code							
								WLRL							

位	标记	功能描述
31	Interrupt	1: trap 由中断产生 0: 其它
30	MINHV	只支持 CLIC 模式
29:28	MPP	进入中断处理之前的特权模式，和 mstatus.mpp 相同，只支持 CLIC 模

		式
27	MPIE	进入中断处理之前的中断使能, 和 <code>mstatus.mpie</code> 相同, 只支持 CLIC 模式
26:24	Reserved	保留位
23:16	MPIL	进入中断处理之前的中断等级, 只支持 CLIC 模式
15:10	Reserved	保留位
9:0	Exception Code	最近一次的异常或中断代码

中断异常代码		
interrupt	异常代码	描述
1	0 – 2	保留
1	3	机器模式软件中断使能
1	4 – 6	保留
1	7	机器模式计时器中断使能
1	8 – 10	保留
1	11	机器模式外部中断使能
1	12	CLIC 软件中断使能
1	13 – 15	保留
1	16	CLIC 本地中断 0
1	17	CLIC 本地中断 1
1	18 – 31	...
1	48	CLIC 本地中断 32
0	0	指令地址未对齐
0	1	指令存取错误
0	2	非法指令
0	3	断点
0	4	装载地址未对齐
0	5	装载错误
0	6	Store/AMO 地址未对齐
0	7	Store/AMO 存取错误

0	8 – 10	保留
0	11	Environment call from M-mode
0	≥ 12	保留

2.6.8.6 机器模式异常向量表 (mtvt)

mtvt 寄存器保存着用于 CLIC 向量中断的机器异常向量基址。mtvt 允许重定位向量表。BASE 必须是 64 字节对齐。

在 CLIC 模式，mcause 显示更多信息。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BASE															
WARL															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE											Reserved				
WARL															

位	标记	功能描述
31:6	BASE	CLIC 向量表的基址
5:0	Reserved	保留位

2.6.8.7 中断入口地址和中断使能 (mnxti)

mnxti 可以被软件用来处理下一个等级超过已保存（保存在 mcause.PIL 里）中断，且不需要完整耗费的中断的关断和内容存取。CSRRSI/CSRRCI 指令可以操作 mnxti 寄存器。读这个寄存器返回下一个中断的 handler 的地址或 0;如果时 0，说明没有合适的中断需要处理。当写这个寄存器时，mcause 的异常编码寄存器和 mintstatus 的 mil 寄存器将会更新为新的寄存器等级。

在中断处理中，mnxti 寄存器一般在初始化 mcause 和 mepc 寄存器之后使用。

2.6.8.8 机器模式中断状态寄存器 (mintstatus)

Mintstatus 为每个支持的特权模式保存中断级别。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MIL											Reserved				

WIRL																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Reserved																				

位	标记	功能描述
31:24	MIL	机器模式中断等级
23:0	Reserved	保留位

2.6.8.9 机器模式 Scratch 寄存器 (mscratch)

在 CLIC 模式，mcause 显示更多信息。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16					
mscratch																				
WLRL																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
mscratch																				
WLRL																				

位	标记	功能描述
31:0	mscratch	被用于保存一个指向机器模式硬件线程本地的上下文空间的指针，并在一个 M-mode 自陷处理函数入口处，与一个用户寄存器进行交换

2.6.8.10 机器异常 PC 寄存器 (mepc)

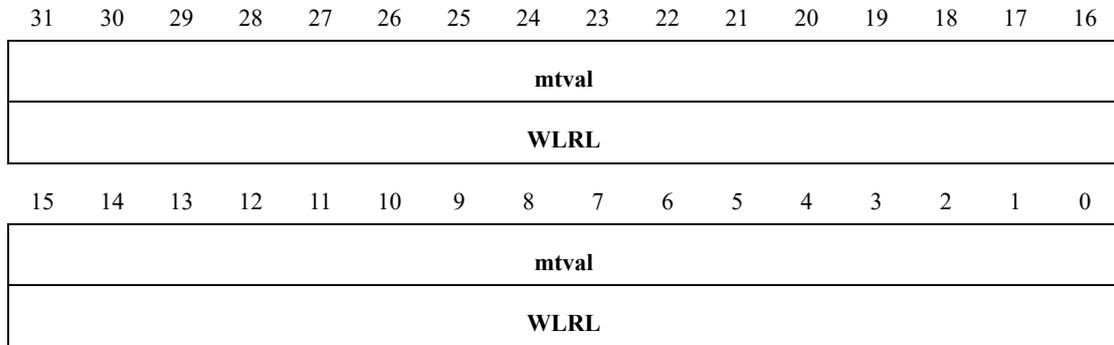
mepc 寄存器永远不能保存一个导致指令地址非对齐异常的 pc 值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16					
mepc																				
WR																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
mepc																				
WR																				

位	标记	功能描述
---	----	------

31:0	mepc	产生异常的指令地址 pc 值
------	------	----------------

2.6.8.11 机器模式异常值寄存器 (mtval)



位	标记	功能描述
31:0	mtval	用于存储发生异常的指令或地址

2.6.8.12 中断状态寄存器映射

中断状态寄存器列表

寄存器	偏移地址	描述
mstatus	0x300	机器状态寄存器
mie	0x304	机器中断使能寄存器
mtvec	0x305	机器异常入口基地址寄存器
mtvt	0x307	机器模式异常向量表
mepc	0x341	机器模式异常 PC 寄存器
mcause	0x342	机器模式异常原因寄存器
mtval	0x343	机器模式异常值寄存器
mip	0x344	机器模式中断等待寄存器
mnxti	0x345	中断入口地址和中断使能
mintstatus	0x346	机器模式中断状态寄存器
mscratch	0x340	机器模式 Scratch 寄存器

注：RISC-V 架构中的定义的 CSR 寄存器需要使用特殊的 CSR 指令进行访问，如果需要在 C/C++ 程序中使用 CSR 寄存器，只能采用内嵌汇编（CSR 指令）的方式，才能对 CSR 寄存器进行操作。以下是在 C 语言中调用 RISC-V 的 CSR 读或者写汇编指令访问 CSR 寄存器的实例，代码如下：

```
#define read_csr(reg) ({ unsigned long __tmp; \
    asm volatile ("csr %0, " #reg : "=r"(__tmp)); \
    __tmp; })
```

定义以上宏，在 C 语言中直接调用此宏即相当于读取指 CSR 寄存器的值，譬如 C 语言“value=read_csr(mstatus)”即相当于读取 mstatus 寄存器的值将其赋值给变量 value 中。

2.7 系统定时器 (SysTick-MTIMER)

2.7.1 SysTick(MTIMER)介绍

SysTick 为 RISC-V 核集成的一个系统定时器，也被称为 MTIMER，其宽度为 64 位，有两个寄存器：`mtime` 和 `mtimecmp`。`mtime` 存放 MTIMER 的计数值，`mtimecmp` 存放 MTIMER 的比较值。当 $mtime \geq mtimecmp$ 时，MTIMER 模块产生定时中断，也称为机器模式计时器中断 (Machine Timer Interrupt)。

注意：MTIMER 的时钟频率必须小于 MCU 内核时钟 2 分频后的频率，可以通过软件来修改该频率，见章节 5.3.3 的 `SysTick_clk_div` 寄存器。

2.7.2 寄存器描述

基址：0x0200_0000

2.7.2.1 机器模式计时器寄存器 (`mtime`)

偏移地址：0xBFF8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
<code>mtime_lo</code>															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<code>mtime_lo</code>															
RW															

位	标记	功能描述
31:0	<code>mtime_lo</code>	反映当前计时器的低 32 位计数值

偏移地址：0xBFFF

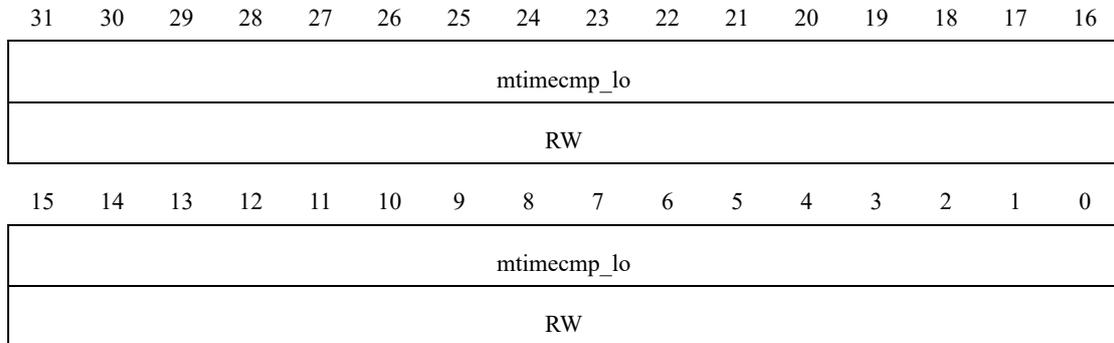
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
<code>mtime_hi</code>															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<code>mtime_hi</code>															
RW															

位	标记	功能描述

31:0	mtime_hi	反映当前计时器的高 32 位计数值
------	----------	-------------------

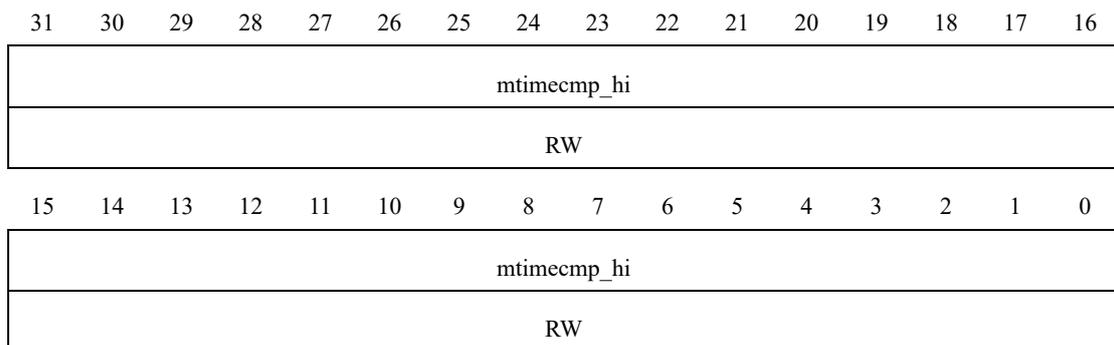
2.7.2.2 机器模式计时器比较值寄存器 (mtimecmp)

偏移地址：0x4000



位	标记	功能描述
31:0	mtimecmp_lo	配置计时器的比较值低 32 位 当 mtime 中的计数值大于或者等于 mtimecmp 中设置的比较值时，计时器便会产生计时器中断。计时器中断会一直拉高，直到软件重新写 mtimecmp 寄存器的值，使得其比较值大于 mtime 中的值，从而将计时器中断清除。 注：当 mie 寄存器中的 MTIE 被设置才会使能此中断。

偏移地址：0x4004



位	标记	功能描述
31:0	mtimecmp_hi	配置计时器的比较值高 32 位

2.7.3 寄存器映射

MTIMER 寄存器列表

基地址：0x0200_0000

寄存器	偏移地址	描述
mtime	0xBFF8	机器模式计时器寄存器
mtimecmp	0x4000	机器模式计时器比较值寄存器

2.8 独立看门狗(IWDG)

2.8.1 简介

独立的看门狗（IWDG）是由低速时钟 RCL 来驱动的，因此即使主时钟出现故障，它也会保持活动状态。独立看门狗最适合应用于需要看门狗独立于主程序之外，能够完全独立工作，并且对时间精度要求很低的情况。

主要特征

- 一旦开启看门狗，计数器会一直运行；
- 在独立看门狗工作条件下，计数器计到 0x00000 时，产生复位信号；
- 在所有低功耗模式下，独立看门狗的计数器仍会工作，计数器计到 0x00000 时，会产生复位信号；
- 可通过写 IWDG 寄存器或者 FLASH 下载程序时设置两种方式打开 IWDG。

2.8.1.1 功能描述

在键值寄存器（IWDG_KR）中写入 0xCCCC，开始启用独立看门狗。此时计数器开始从其复位值 0x3FFFF 递减计数。当计数器计数到尾值 0x00000 时，会产生一个复位信号（IWDG_RESET）。

无论何时，只要在键值寄存器（IWDG_KR）中写入 0xAAAA，自动重装载寄存器（IWDG_RLR）中的值就会被重新加载到计数器，从而避免产生看门狗复位。

如果主程序异常，无法正确喂狗，会导致系统复位。

2.8.1.2 寄存器访问保护

IWDG_RLR 寄存器具有写保护功能。要修改这个寄存器的值，必须先向 IWDG_KR 寄存器中写入 0x5555，然后等待一个指令周期。以不同的值写入这个寄存器将会打乱操作顺序，寄存器将重新被保护。重装载操作（即写入 0xAAAA）也会启动写保护功能。

状态寄存器指示递减计数器是否正在被更新。

2.8.2 IWDG 寄存器描述

基址：0x3000_02A0

2.8.2.1 键值寄存器（IWDG_KR）

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
key															
W															

位	标记	功能描述
31:16	Reserved	保留位
15:0	key	键值（只写寄存器，读出值为 0x0000） 1.软件必须以一定的间隔写入 0xAAAA，否则，当计数器为 0 时，看门狗会产生复位； 2.写入 0x5555 之后等待一个指令周期，然后可以写 IWDG_RLR 寄存器； 3.写入 0xCCCC 启动看门狗工作

2.8.2.2 重载寄存器 (IWDG_RLR)

偏移地址：0x04

复位值：0x0003_FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														RL	
Reserved														RW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RL															
RW															

位	标记	功能描述
31:18	Reserved	保留位
17:0	RL	看门狗计数器重载值 (Watchdog counter reload value) 1.具有写保护功能； 2.用于定义看门狗计数器的重载值，每当向 IWDG_KR 寄存器写入 0xAAAA 时，重载值会被传送到计数器中，随后计数器从这个值开始递减计数； 3.只有当 IWDG_SR 寄存器中的 RVU 位为 0 时，才能对此寄存器进行修改，读出的值才有效。

2.8.2.3 状态寄存器 (IWDG_SR)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													count_ens	RVU	
													R	R	

位	标记	功能描述
31:2	Reserved	保留位
1	count_ens	IWDG 计数器工作状态位, 1: IWDG 计数器正在计数中
0	RVU	看门狗计数器重装载值更新 (Watchdog counter reload value update) 1. 此位由硬件置 1 来表示重装载值的更新正在进行中; 2. 当看门狗计数器重装载值更新完成后, 此位会被硬件清零; 3. 重装载值只有在 RVU 位被清零后才可被更改。

2.8.3 IWDG 寄存器映射

寄存器列表

基地址: 0x3000_02A0

寄存器	偏移地址	描述
IWDG_KR	0x00	IWDG 键值寄存器
IWDG_RLR	0x04	IWDG 重装载寄存器
IWDG_SR	0x08	IWDG 状态寄存器

2.9 高级定时器 (TIMER1&TIMER2)

2.9.1 简介

MCU 模块拥有两个高级定时器 TIMER1 和 TIMER2。二者的功能相同并且是完全同步的，可以同步操作。

高级控制定时器 (TIMERx) 由一个 16 位的自动装载计数器组成，它由一个可编程预分频器驱动。

它适合多种用途，包含测量输入信号的脉冲宽度 (输入捕获)，或者产生输出波形 (输出比较, PWM, 嵌入死区时间的互补 PWM 等)。使用定时器预分频器和外设时钟分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

2.9.2 主要特性

TIMERx 定时器的功能包括：

- 16 位向上，向下，向上/向下自动装载计数器；
- 16 位可编程预分频器，计数器时钟频率的分频系数为 1 ~ 65535 之间的任意数值；
- 4 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成 (边缘或中间对齐模式)；
 - 单脉冲模式输出；
 - 死区时间可编程的互补输出。
- 在指定数目的计数器周期之后更新定时器寄存器；
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态；
- 如下列事件发生，则产生中断：
 - 更新：计数器向上溢出/向下溢出，计数器初始化 (通过软件或者内部/外部触发)；
 - 触发事件 (计数器启动，停止，初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
 - 刹车信号输入。

2.9.3 框图

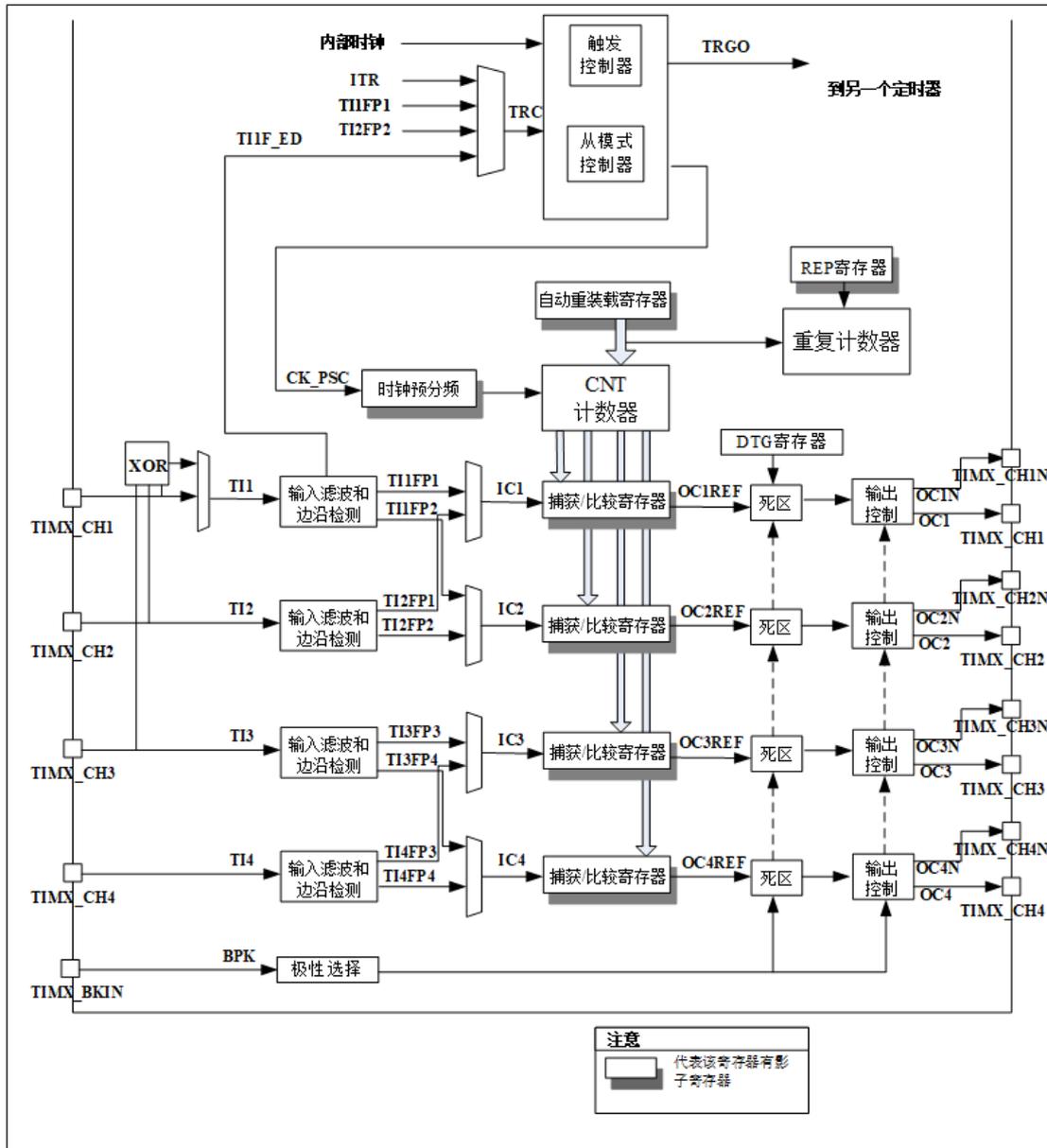


图 2-6 高级定时器框图

2.9.4 功能描述

2.9.4.1 时基单元

可编程高级控制定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分

频得到。计数器、自动装载寄存器和预分频器寄存器可以由软件读写，即使计数器还在运行，读写仍然有效。

时基单元包含：

- 计数器寄存器（TIMERx_CNT）；
- 预分频器寄存器（TIMERx_PSC）；
- 自动装载寄存器（TIMERx_ARR）；
- 周期计数寄存器（TIMERx_RCR）。

自动装载寄存器是预先装载的。写或读自动重装载寄存器将访问预装载寄存器。根据在 TIMERx_CR1 寄存器中的自动预装载使能位（ARPE）的设置，预装载寄存器的内容被永久地或在每次产生 UEV 更新事件时传送到影子寄存器。当计数器达到溢出条件（向下计数时的下溢条件）并当 TIMERx_CR1 寄存器中的 UDIS 位等于 0 时，产生更新事件。更新事件也可以由软件产生，随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动，仅当设置了计数器 TIMERx_CR1 寄存器中的计数器使能位（CEN）时，CK_CNT 才有效（有关更多的计数器使能的细节，请参见控制器的从模式描述）。

注：真正的计数器使能信号 CNT_EN 是在 CEN 的一个时钟周期后被设置。

2.9.4.1.1 预分频器描述

预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。它是基于一个（在 TIMERx_PSC 寄存器中的）16 位寄存器控制的 16 位计数器。因为这个控制寄存器带有缓冲器，它能够在工作时被改变。新的预分频器的参数在下次更新事件到来时被采用。

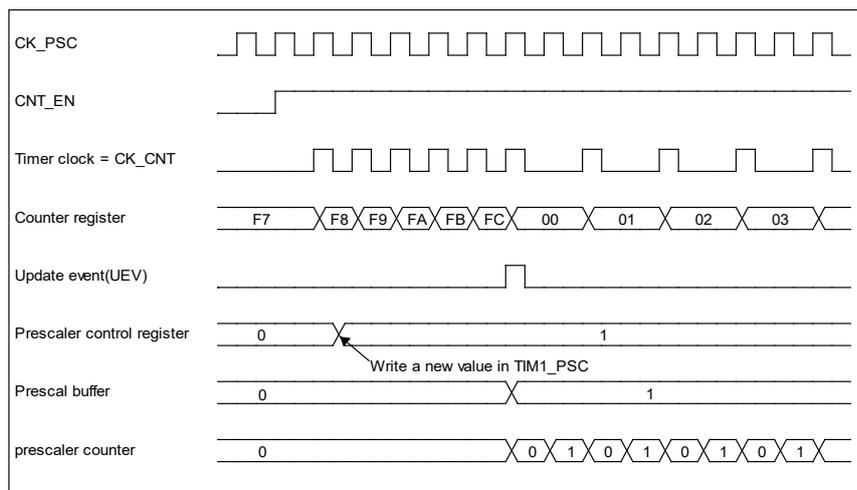


图 2-7 当预分频器的参数从 1 变到 2 时，计数器的时序图

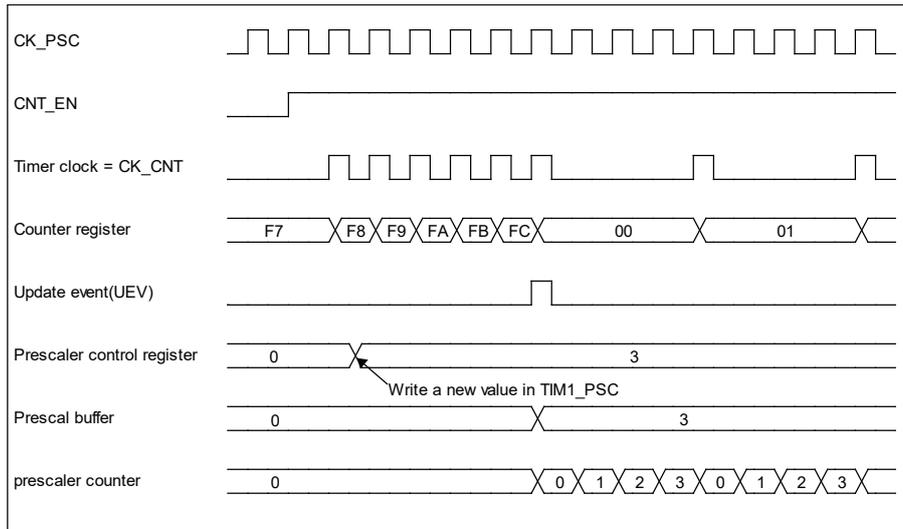


图 2-8 当预分频器的参数从 1 变到 4 时，计数器的时序图

2.9.4.2 计数器模式

2.9.4.2.1 向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值（TIMEx_ARR 计数器的内容），然后重新从 0 开始计数并且产生一个计数器溢出事件。

如果使用了周期计数功能，在向上计数达到设置的周期计数次数（TIMEx_RCR）时，将产生更新事件（UEV）；否则每次直到计数器溢出才会产生更新事件。

在 TIMEx_EGR 寄存器中设置 UG 位（通过软件方式或者使用从模式控制器）也同样可以产生一个更新事件。

通过软件置 TIM1_CR1 寄存器中的 UDIS 位为 1，将选择禁止更新事件；这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。在 UDIS 位被清成 0 之前，将没有更新事件产生。即使这样，在应该产生更新事件时，计数器仍会被清 0，同时预分频器的计数也被清 0（但预分频器的数值不变）。此外，如果 TIMEx_CR1 寄存器中的 URS 位（更新请求选择）被置 0，设置 UG 位将产生一个更新事件 UEV，但硬件不设置 UIF 标志（即不产生中断）。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件，所有的寄存器都被更新，硬件同时（依据 URS 位）设置更新标志位（TIMEx_SR 寄存器中的 UIF 位）。

- 周期计数器被重新加载为 TIMEx_RCR 寄存器的内容；
- 自动装载影子寄存器被重新置入预装载寄存器的值（TIMEx_ARR）；

- 预分频器的缓冲区被置入预分频器寄存器的值（TIMERx_PSC 寄存器的内容）。
 下图给出一些例子，当 $TIMER1_ARR = 0x36$ 时计数器在不同时钟频率下的动作。

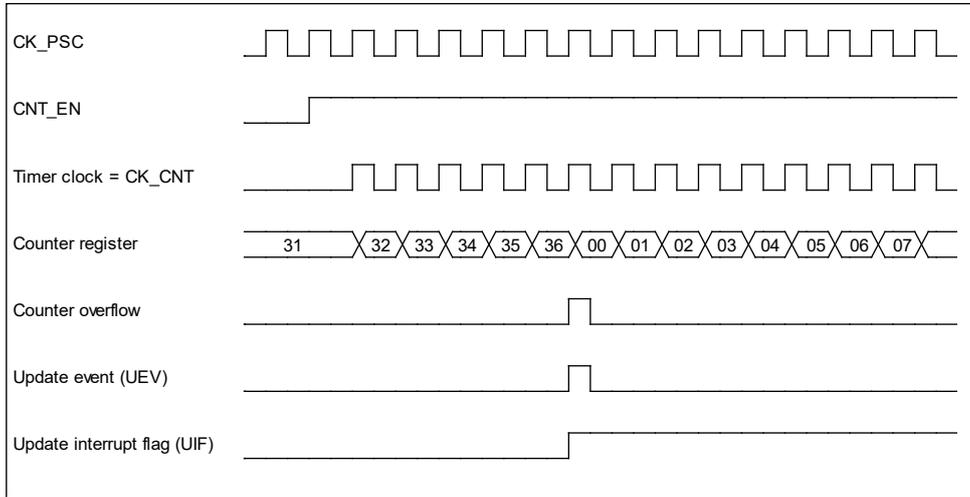


图 2-9 计数器时序图，内部时钟分频因子为 1

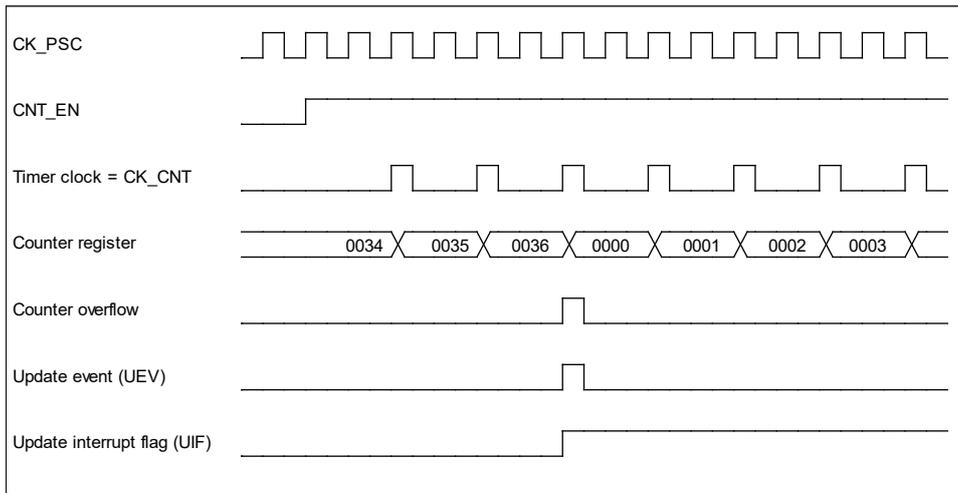


图 2-10 计数器时序图，内部时钟分频因子为 2

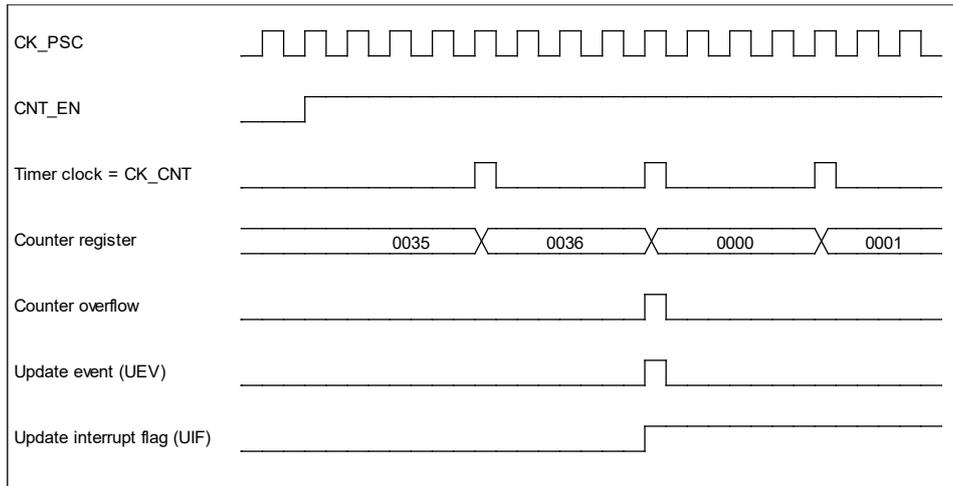


图 2-11 计数器时序图，内部时钟分频因子为 4

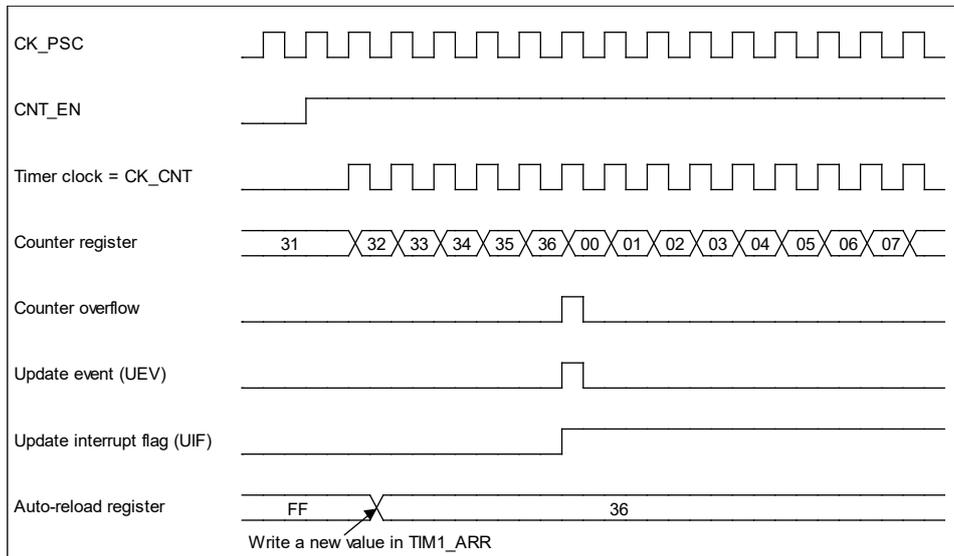


图 2-12 计数器时序图，当 ARPE = 0 时的更新事件（TIMER1_ARR 没有预装入）

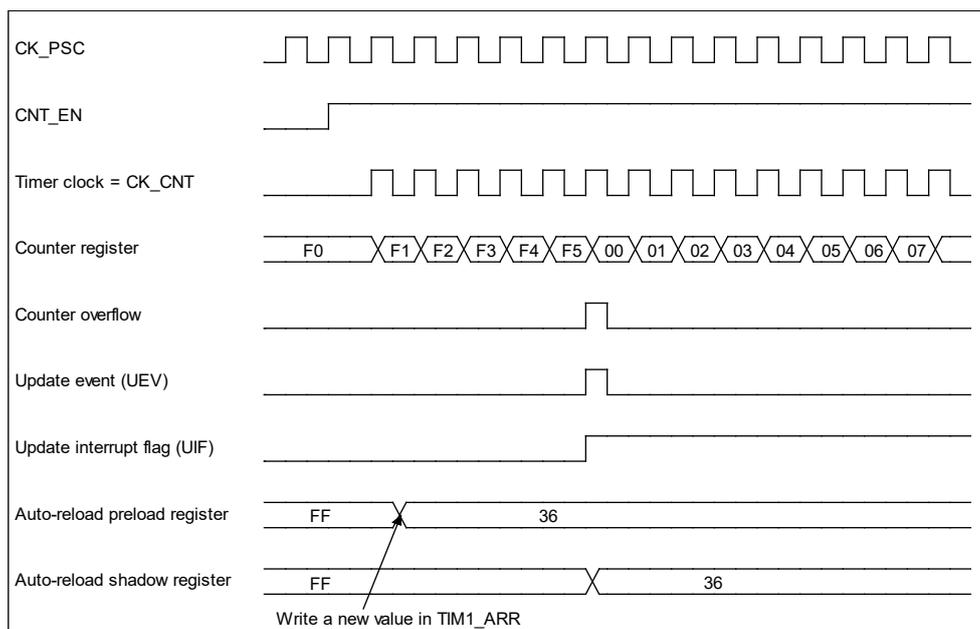


图 2-13 计数器时序图，当 ARPE = 1 时的更新事件（预装入了 TIM1_ARR）

2.9.4.2.2 向下计数模式

在向下模式中，计数器从自动装入的值（TIMERx_ARR 计数器的值）开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

如果使用周期计数器，当向下计数重复了周期计数寄存器（TIMERx_RCR）中设定的次数后，将产生更新事件（UEV），否则每次计数器下溢时就会产生更新事件。在 TIMERx_EGR 寄存器中设置 UG 位（通过软件方式或者使用从模式控制器）也同样可以产生一个更新事件。UEV 事件可以通过软件设置 TIMERx_CR1 寄存器中的 UDIS 位被禁止。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。这样 UDIS 位被写成 0 之前不会产生更新事件。然而，计数器仍会从当前自动加载值重新开始计数，并且预分频器的计数器重新从 0 开始（但预分频器的速率不能被修改）。此外，如果设置了 TIMERx_CR1 寄存器中的 URS 位（更新请求选择）为 0，设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志（因此不产生中断），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。当发生更新事件时，所有的寄存器都被更新，并且（根据 URS 位的设置）更新标志位（TIM1_SR 寄存器中的 UIF 位）也被设置。

- 周期计数器被重置为 TIMERx_RCR 寄存器中的内容；
- 当前的自动加载寄存器被更新为预装载值（TIMERx_ARR 寄存器中的内容）。

注：自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下的图显示一些当 $TIMER1_ARR = 0x36$ 时计数器在不同时钟频率下的操作例子。

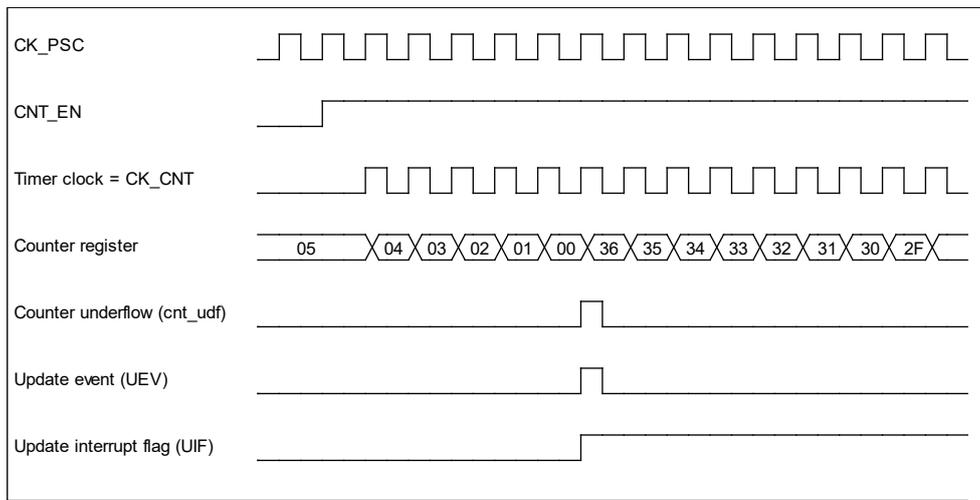


图 2-14 计数器时序图，内部时钟分频因子为 1

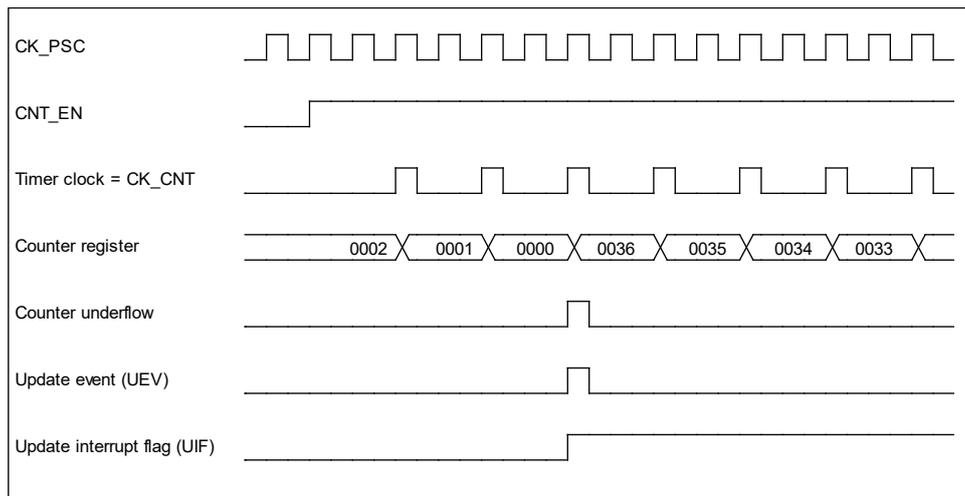


图 2-15 计数器时序图，内部时钟分频因子为 2

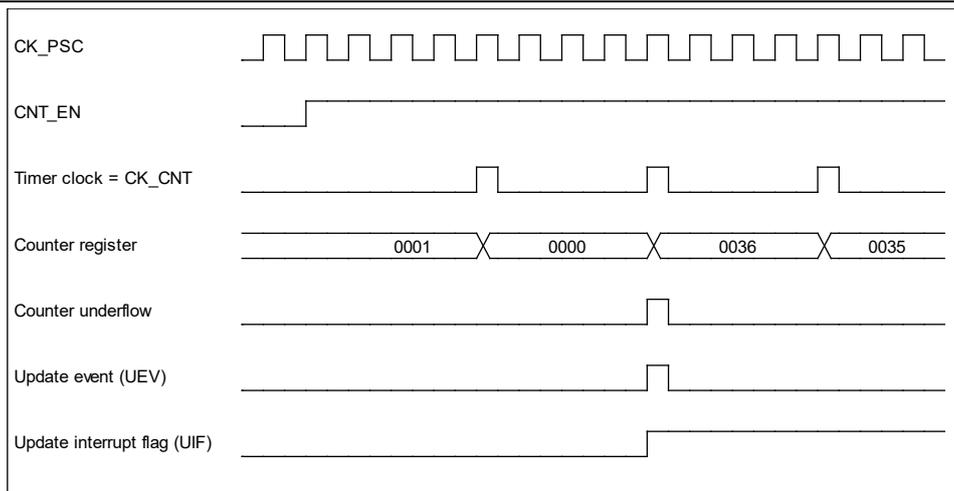


图 2-16 计数器时序图，内部时钟分频因子为 4

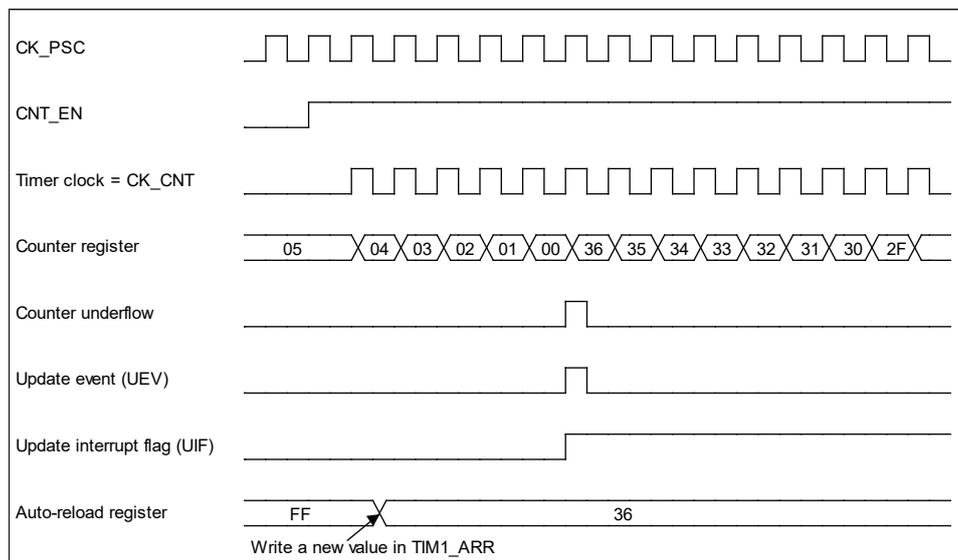


图 2-17 计数器时序图，当 ARPE = 0 时的更新事件（TIMER1_ARR 没有预装入）

2.9.4.2.3 中央对齐模式（向上/向下计数）

在中央对齐模式中，计数器从 0 开始计数到自动加载的值（TIMERx_ARR 寄存器的内容）- 1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。在这个模式下，不能写入 TIMERx_CR1 中的 DIR 方向位。

更新事件可以产生在每一次计数上溢和每一次计数下溢，也可以通过（软件或者使用从模式控制器）设置 TIMERx_EGR 寄存器中的 UG 位来产生更新事件。此时，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。UEV 事件可以通过软件设置 TIMERx_CR1 寄

寄存器中的 UDIS 位被禁止。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器，这样 UDIS 位被写成 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。

此外，如果设置了 `TIMERx_CR1` 寄存器中的 URS 位（更新请求选择），设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志（因此不产生中断），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且（根据 URS 位的设置）更新标志位（`TIMERx_SR` 寄存器中的 UIF 位）也被设置。

- 周期计数器被重置为 `TIMERx_RCR` 寄存器中的内容；
- 当前的自动加载寄存器被更新为预装载值（`TIMERx_ARR` 寄存器中的内容）。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值（计数器被装载为新的值）。

以下的图显示一些计数器在不同时钟频率下的操作的例子：

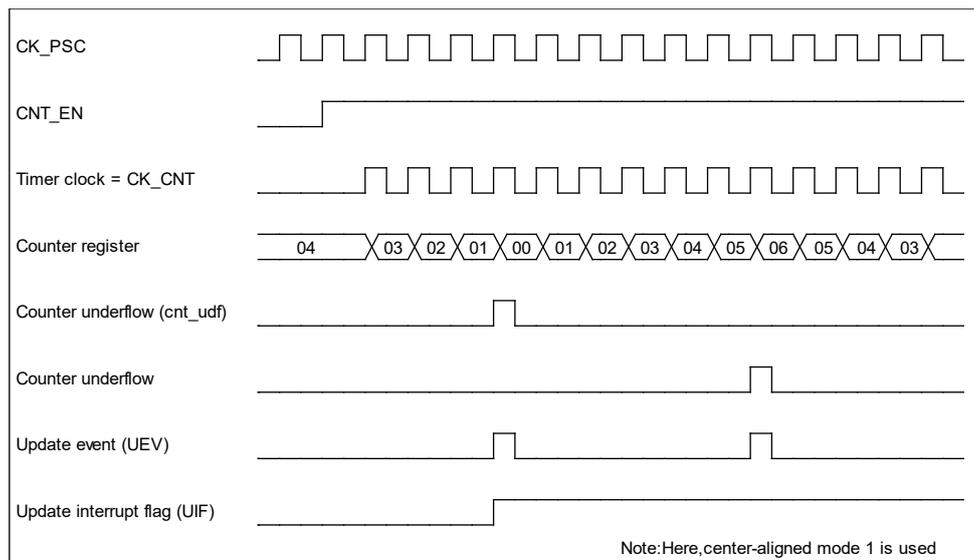


图 2-18 计数器时序图，内部时钟分频因子为 1，`TIMER1_ARR = 0x06`

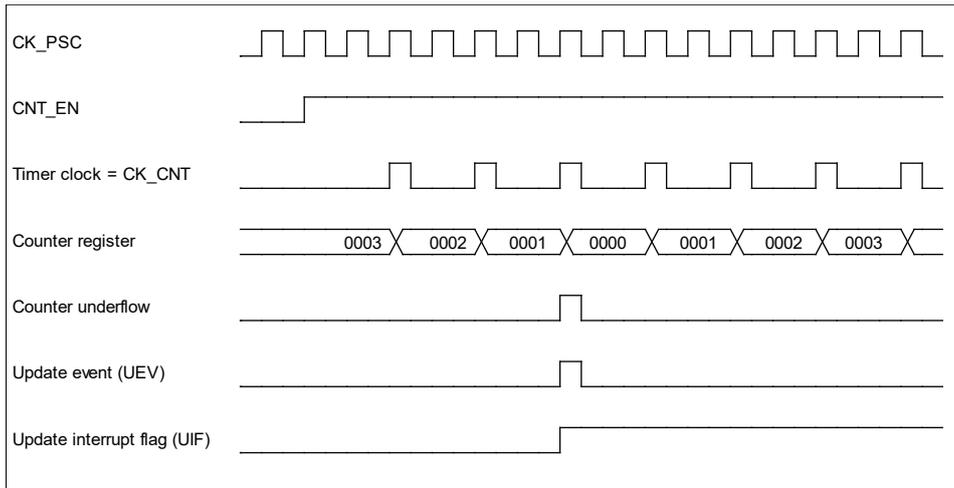


图 2-19 计数器时序图，内部时钟分频因子为 2，TIMER1_ARR = 0x06

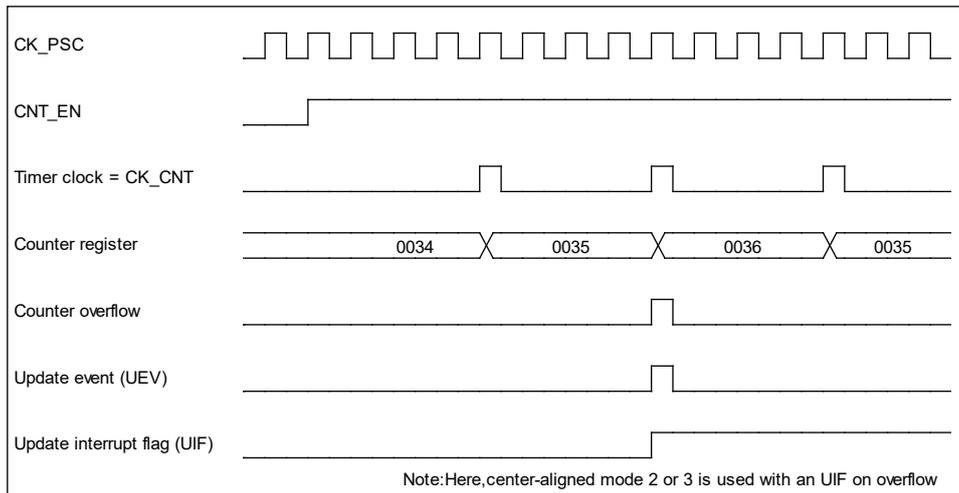


图 2-20 计数器时序图，内部时钟分频因子为 4，TIMER1_ARR = 0x36

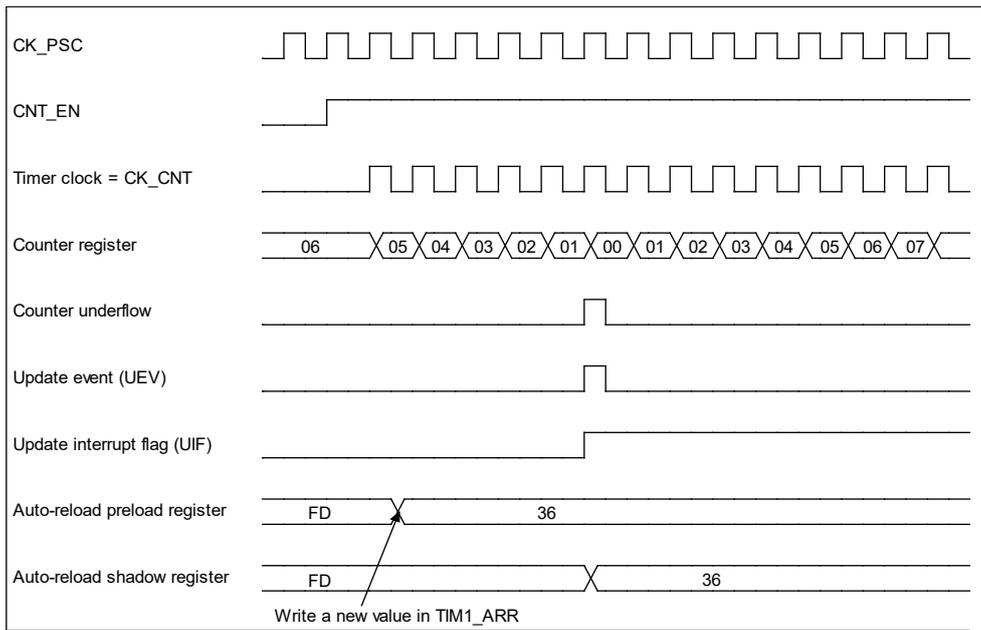


图 2-21 计数器时序图，ARPE = 1 时的更新事件（计数器下溢）

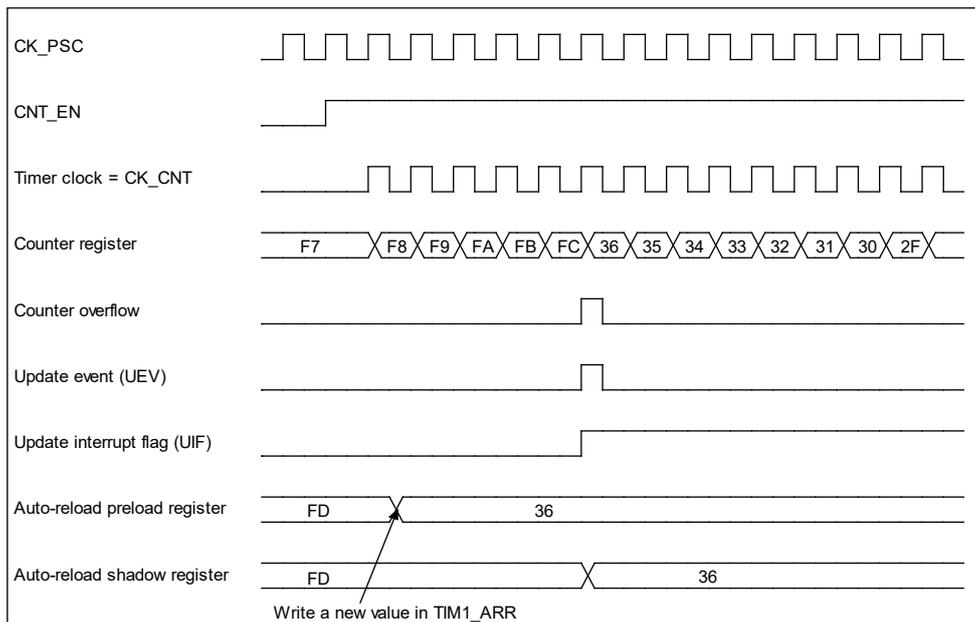


图 2-22 计数器时序图，ARPE = 1 时的更新事件（计数器溢出）

2.9.4.3 重复向下计数器

章节 9.4.1 时基单元解释了计数器上溢/下溢时更新事件 (UEV) 是如何产生的，然而事

实上更新事件只能在重复计数器达到0的时候才会产生。这对于产生PWM信号非常有用。

这意味着在每发生 $N + 1$ 次计数上溢或下溢时，数据从预装载寄存器传输到影子寄存器（TIMERx_ARR 自动重载寄存器，TIMERx_PSC 预装载寄存器，还有在比较模式下的捕获/比较寄存器），N 是 TIMERx_RCR 周期计数寄存器中的值。

重复向下计数器在下述任一条件成立时递减：

- 向上计数模式下每次计数器上溢；
- 向下计数模式下每次计数器下溢；
- 中央对齐模式下每次计数器上溢和下溢。

虽然这样将 PWM 的最大循环周期限制为 128，但它能够在每个 PWM 周期更新 2 次占空比。在中央对齐模式下，因为波形是对称的，如果每个 PWM 周期中仅刷新一次比较寄存器，则最大的分辨率为 $2 \times T_{ck}$ 。

重复向下计数器是自动加载的，重复速率由 TIMERx_RCR 寄存器的值定义。当更新事件由软件产生(通过设置 TIMERx_EGR 中的 UG 位)或者通过硬件的从模式控制器产生时，无论重复向下计数器的值是多少，都会立即发生更新事件，并且 TIMERx_RCR 寄存器中的内容被重载入到重复向下计数器中。

2.9.4.4 时钟选择

计数器时钟可由下列时钟源提供：

- 内部时钟（CK_INT）；
- 外部时钟模式：外部输入脚。

2.9.4.4.1 内部时钟源（CK_INT）

如果从模式控制器被禁止（SMS=000），则 CEN、DIR（TIMERx_CR1 寄存器中）和 UG 位（TIMERx_EGR 寄存器中）成为实际上的控制位并且只能被软件修改（UG 位除外，该位仍会被自动清除）。一旦 CEN 位被写成 1，预分频器的时钟就由内部时钟 CK_INT 提供。

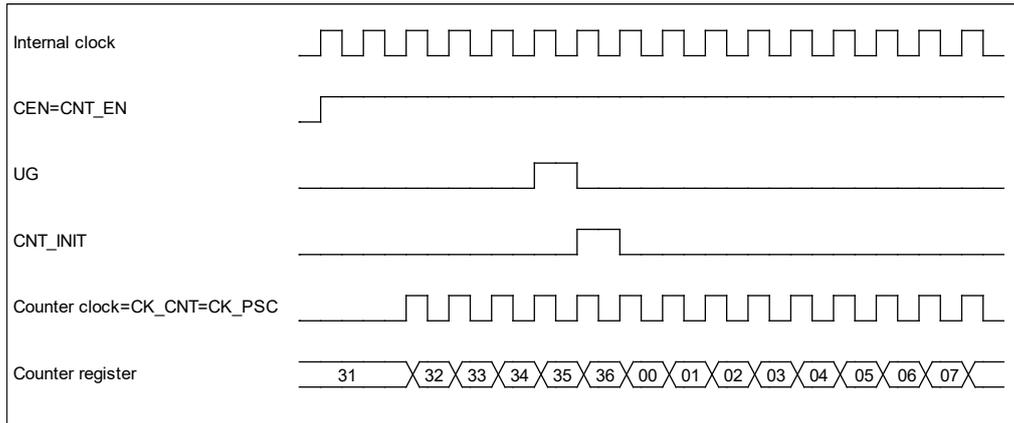


图 2-23 一般模式下的控制电路，内部时钟分频因子为 1

2.9.4.4.2 外部时钟源模式

当 $TIMERx_CR1$ 寄存器中的 $SMS = 111$ 时，此模式被选中。计数器可以在选定输入的上每个上升沿或下降沿计数。

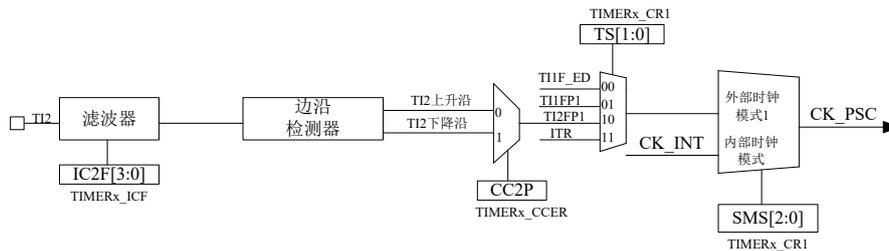


图 2-24 TI2 外部时钟连接例子

例如，要配置向上计数器在 TI2 输入端的上升沿计数，使用下列步骤：

1. 配置 $TIMERx_CCMR1$ 寄存器 $CC2S = 01$ ，配置通道 2 检测 TI2 输入的上升沿；
2. 配置 $TIMERx_ICF$ 寄存器的 $IC2F[3:0]$ ，选择输入滤波器带宽（如果不需要滤波器，保持 $IC2F = 0000$ ）；
3. 配置 $TIMERx_CCER$ 寄存器的 $CC2P = 0$ ，选定上升沿极性；
4. 配置 $TIMERx_CR1$ 寄存器的 $SMS = 111$ ，选择定时器外部时钟模式 1；
5. 配置 $TIMERx_CR1$ 寄存器中的 $TS = 10$ ，选定 TI2 作为触发输入源；
6. 设置 $TIMERx_CR1$ 寄存器的 $CEN = 1$ ，启动计数器。

当 TI2 上出现上升沿，计数器计数一次，且 TIF 标志被设置。在 TI2 的上升沿和计数器实际时钟之间的延时取决于在 TI2 输入端的重新同步电路。

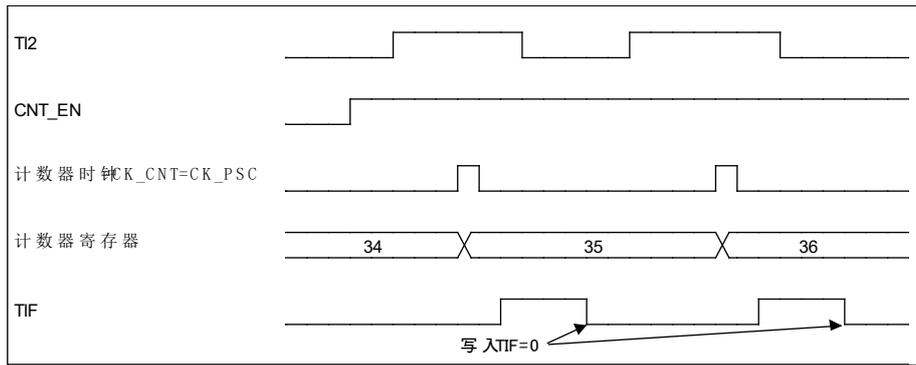


图 2-25 外部时钟模式 1 下的控制电路

2.9.4.5 捕获/比较通道

每一个捕获/比较通道是围绕着一个捕获/比较寄存器（包含影子寄存器）构成的，包括捕获的输入部分（包含数字滤波和多路复用）和输出部分（包含比较器和输出控制）。

输入部分对相应的 TIx 输入信号采样，并产生一个滤波后的信号 $TIxF$ 。然后，一个带极性选择的边缘监测器产生一个信号 ($TIxFPx$)，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号先进行预分频 ($ICxPS$) 再进入到捕获寄存器。

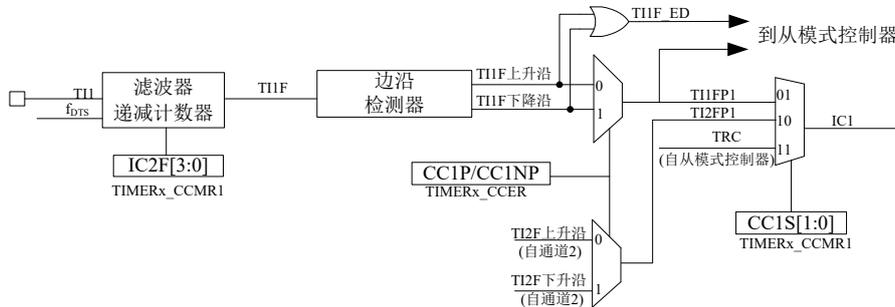


图 2-26 捕获/比较通道（通道 1 输入部分）

输出部分产生一个中间波形 $OCxRef$ （高有效）作为基准，链的末端决定最终输出信号的极性。

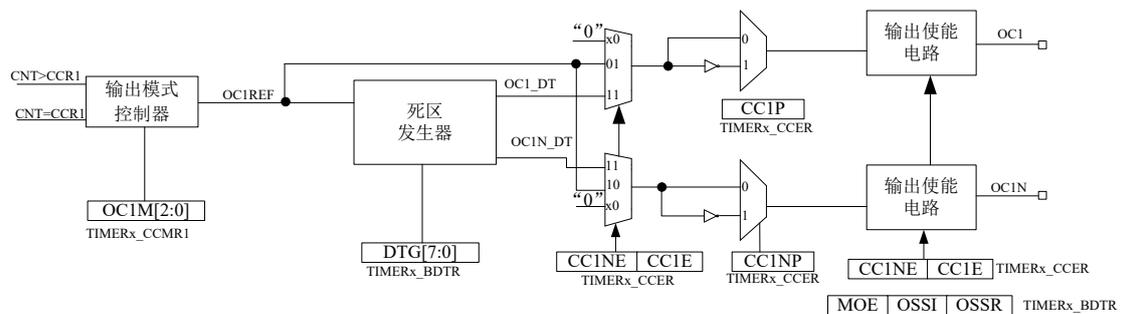


图 2-27 捕获/比较通道的输出部分

2.9.4.6 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 (TIMERx_CCRx) 中。当发生捕获事件时，相应的 CCxIF 标志 (TIMERx_SR 寄存器) 被置 1，如果开放了中断操作，则将产生中断请求。如果发生捕获事件时 CCxIF 标志已经为高，那么重复捕获标志 CCxOF (TIMERx_SR 寄存器) 被置 1。写 CCxIF = 0 可清除 CCxIF，或读取存储在 TIMERx_CCRx 寄存器中的捕获数据也可清除 CCxIF。写 CCxOF = 0 可清除 CCxOF。

以下例子说明如何在 TI1 输入的上升沿时捕获计数器的值到 TIMERx_CCR1 寄存器中，步骤如下：

- 选择有效输入端：TIMERx_CCMR1 必须连接到 TI1 输入，所以写入 TIMERx_CCMR1 寄存器中的 CC1S = 01，只要 CC1S 不为 00，通道就会被配置为输入，并且 TIMERx_CCMR1 寄存器变为只读；
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 TIMERx_ICF 寄存器中的 ICxF 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以（以 fDTS 频率）连续采样 8 次，以确认在 TI1 上一次进行了真实的边沿变换，即在 TIMERx_ICF 寄存器中写入 IC1F = 0011；
- 选择 TI1 通道的有效转换边沿，在 TIMERx_CCER 寄存器中写入 CC1P = 0（上升沿）；
- 设置 TIMERx_CCER 寄存器的 CC1E = 1，允许捕获计数器的值被传送到捕获寄存器中；
- 如果需要，通过设置 TIMERx_DIER 寄存器中的 CC1IE 位允许相关中断请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到 TIMERx_CCR1 寄存器；
- CC1IF 标志被设置（中断标志），当发生至少 2 个连续的捕获，且 CC1IF 未曾被清除时，CC1OF 也被置 1；
- 如设置了 CC1IE 位，则会产生一个中断。

为了处理捕获溢出，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

设置 TIMERx_EGR 寄存器中相应的 CCxG 位，可以通过软件产生输入捕获中断请求。

2.9.4.7 PWM 输入模式

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

- 两个 ICx 信号被映射至同一个 TIx 输入；
- 这两个 ICx 信号为边沿有效，但是极性相反；
- 其中一个 TIxFP 信号被作为触发输入信号，而从模式控制器被配置成复位模式。例如，你需要测量输入到 TI1 上的 PWM 信号的长度（TIMERx_CCR1 寄存器）和占空比（TIMERx_CCR2 寄存器），具体步骤如下：
 - 选择 TIMERx_CCR1 的有效输入：置 TIMERx_CCMR1 寄存器的 CC1S = 01（选中 TI1）；
 - 选择 TI1FP1 的有效极性（用来捕获数据到 TIMERx_CCR1 中和清除计数器）：置 CC1P = 0（上升沿有效）；
 - 选择 TIMERx_CCR2 的有效输入：置 TIMERx_CCMR1 寄存器的 CC2S = 10（选中 TI1）；
 - 选择 TI1FP2 的有效极性（捕获数据到 TIMERx_CCR2）：置 CC2P = 1（下降沿有效）；
 - 选择有效的触发输入信号：置 TIMERx_CR1 寄存器中的 TS = 2'b01（选择 TI1FP1）；
 - 配置从模式控制器为复位模式：置 TIMERx_CR1 中的 SMS = 100；
 - 使能捕获：置 TIMERx_CCER 寄存器中 CC1E = 1 且 CC2E = 1。

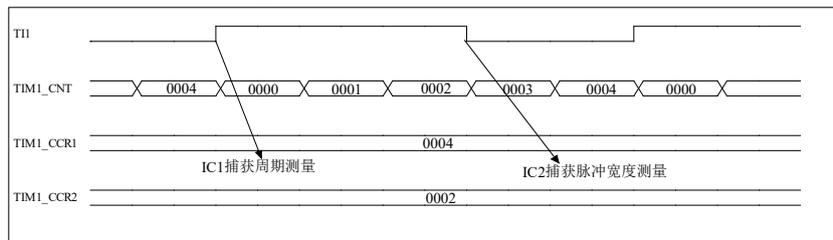


图 2-28 PWM 输入模式时序

因为只有 TI1FP1 和 TI2FP2 连到了从模式控制器，所以 PWM 输入模式只能使用 TIMERx_CH1/TIMERx_CH2 信号。

2.9.4.8 强制输出模式

在输出模式（TIMERx_CCMRx 寄存器中 CCxS = 00）下，输出比较信号（OCxREF 和相应的 OCx/OCxN）能够直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIMERx_CCMRx 寄存器中相应的 OCxM = 101，即可强置输出比较信号

(OCxREF/OCx) 为有效状态。这样 OCxREF 被强置为高电平 (OCxREF 始终为高电平有效)，同时 OCx 得到 CCxP 极性相反的信号。

例如：CCxP = 0 (OCx 高电平有效)，则 OCx 被强置为高电平。置 TIMERx_CCMRx 寄存器中的 OCxM = 100，可强置 OCxREF 信号为低。

该模式下，在 TIMERx_CCRx 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断请求。这将会在下面的输出比较模式一节中介绍。

2.9.4.9 输出比较模式

此项功能是用来控制一个输出波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式 (TIMERx_CCMRx 寄存器中的 OCxM 位) 和输出极性 (TIMERx_CCER 寄存器中的 CCxP 位) 定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平 (OCxM = 000)、被设置成有效电平 (OCxM = 001)、被设置成无效电平 (OCxM = 010) 或进行翻转 (OCxM = 011)；
- 设置中断状态寄存器中的标志位 (TIMERx_SR 寄存器中的 CCxIF 位)；
- 若使能了相应的中断位 (TIMERx_DIER 寄存器中的 CCxIE 位)，则产生一个中断。

TIMERx_CCMRx 中的 OCxPE 位选择 TIMERx_CCRx 寄存器是否需要使用预装载寄存器。

在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单脉冲。

输出比较模式的配置步骤：

1. 选择计数器时钟 (内部，外部，预分频器)；
2. 将相应的数据写入 TIMERx_ARR 和 TIMERx_CCRx 寄存器中；
3. 如果要产生一个中断请求，设置 CCxIE 位；
4. 选择输出模式，例如：
 - 要求计数器与 CCRx 匹配时翻转 OCx 的输出引脚，设置 OCxM = 011；
 - 置 OCxPE = 0 禁用预装载寄存器；
 - 置 CCxP = 0 选择极性为高电平有效；
 - 置 CCxE = 1 使能输出。

5. 设置 TIMERx_CR1 寄存器的 CEN 位启动计数器 TIMERx_CCRx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器 (OCxPE = 0，否则 TIMERx_CCRx 的影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

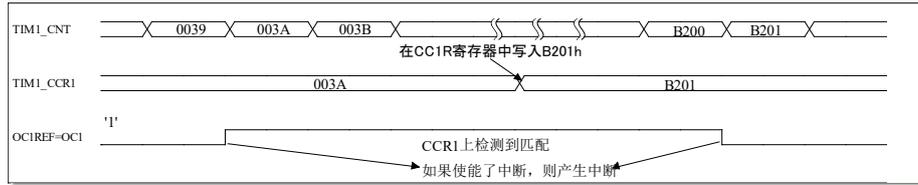


图 2-29 输出比较模式，翻转 OC1

2.9.4.10 PWM 模式

脉冲宽度调制模式可以产生一个由 `TIMERx_ARR` 寄存器确定频率、由 `TIMERx_CCRx` 寄存器确定占空比的信号。

在 `TIMERx_CCMRx` 寄存器中的 `OCxM` 位写入 110 (PWM 模式 1) 或 111 (PWM 模式 2)，能够独立地设置每个 `OCx` 输出通道产生一路 PWM。必须通过设置 `TIMERx_CCMRx` 寄存器的 `OCxPE` 位使能相应的预装载寄存器，最后还要设置 `TIMERx_CR1` 寄存器的 `ARPE` 位，(在向上计数或中心对称模式中)使能自动重载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 `TIMERx_EGR` 寄存器中的 `UG` 位来初始化所有的寄存器。

`OCx` 的极性可以通过软件在 `TIMERx_CCER` 寄存器中的 `CCxP` 位设置，它可以设置为高电平有效或低电平有效。`OCx` 的输出使能通过 (`TIMERx_CCER` 和 `TIMERx_BDTR` 寄存器中) `CCxE`、`CCxNE`、`MOE`、`OSSI` 和 `OSSR` 位的组合控制。详见 `TIMERx_CCER` 寄存器的描述。

在 PWM 模式 (模式 1 或模式 2) 下，`TIMERx_CNT` 和 `TIMERx_CCRx` 始终在进行比较，(依据计数器的计数方向)以确定是否符合 $TIMERx_CCRx \leq TIMERx_CNT$ 或者 $TIMERx_CNT \leq TIMERx_CCRx$ 。根据 `TIMERx_CR1` 寄存器中 `CMS` 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

2.9.4.10.1 PWM 边沿对齐模式

- 向上计数配置

当 `TIMERx_CR1` 寄存器中的 `DIR` 位为低的时候执行向上计数。下面是一个 PWM 模式 1 的例子。当 $TIMERx_CNT < TIMERx_CCRx$ 时，PWM 参考信号 `OCxREF` 为高，否则为低。如果 `TIMERx_CCRx` 中的比较值大于自动重载值 (`TIMERx_ARR`)，则 `OCxREF` 保持为 1。如果比较值为 0，则 `OCxREF` 保持为 0。下图为 `TIMERx_ARR=8` 时边沿对齐的 PWM 波形实例。

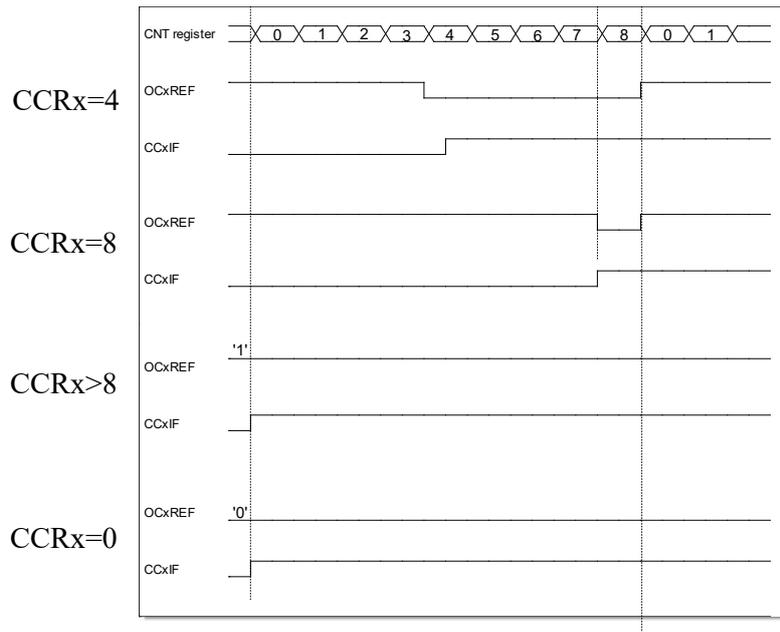


图 2-30 边沿对齐的 PWM 波形 (ARR=8)

- 向下计数配置

当 `TIMERx_CR1` 寄存器的 `DIR` 位为高时执行向下计数。在 PWM 模式 1 下，当 `TIMERx_CNT > TIMERx_CCRx` 时参考信号 `OCxREF` 为低，否则为高。如果 `TIMERx_CCRx` 中的比较值大于 `TIMERx_ARR` 中的自动重装载值，则 `OCxREF` 保持为 1。该模式下不能产生 0% 的 PWM 波形。

2.9.4.10.2 PWM 中央对齐模式

当 `TIMERx_CR1` 寄存器中的 `CMS` 位不为 00 时为中央对齐模式（所有其他的配置对 `OCxREF/OCx` 信号都有相同的作用）。根据不同的 `CMS` 位设置，比较标志可以在计数器向上计数、在计数器向下计数、或在计数器向上和向下计数时被置 1。注意不要用软件修改 `TIMERx_CR1` 寄存器中的计数方向位 (`DIR`)。

下图给出了一些中央对齐的 PWM 波形的例子

- `TIMx_ARR = 8;`
- PWM 模式 1;
- `TIMx_CR1` 寄存器的 `CMS = 01`，在中央对齐模式 1 下，当计数器向下计数时设置比较标志。

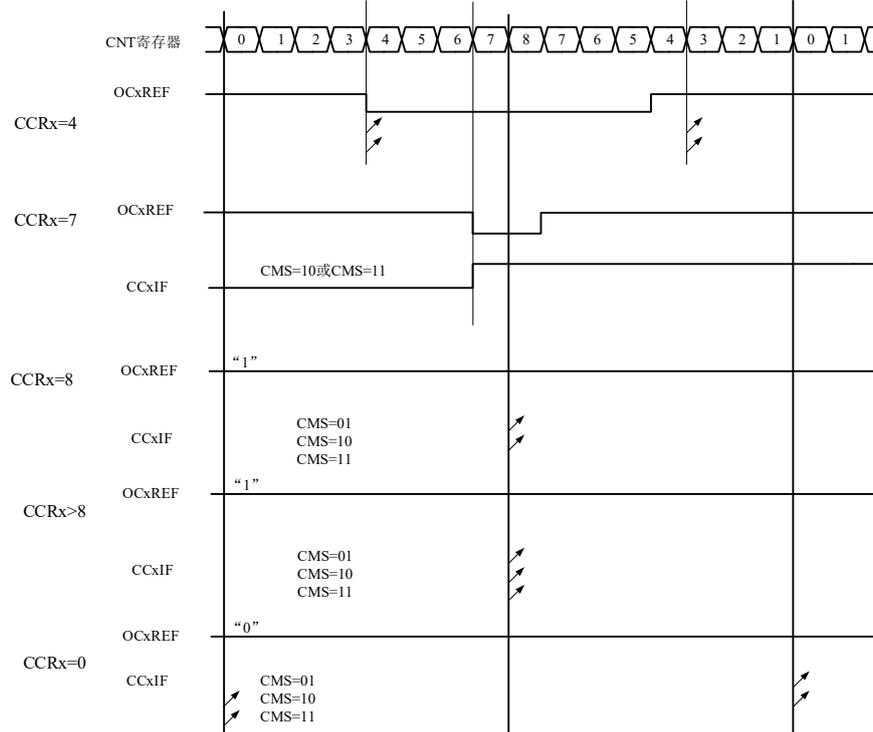


图 2-31 中央对齐的 PWM 波形 (APR=8)

2.9.4.10.3 使用中央对齐模式的提示:

- 进入中央对齐模式时，使用当前的向上/向下计数配置；即，计数器的计数方向取决于 TIMx_CR1 寄存器中 DIR 位的当前值。此外，软件不能同时修改 DIR 和 CMS 位；
- 在中央对齐模式下运行时，不推荐对计数器进行改写，因为这会产生不可预知的结果。特别地：
 - 如果写入计数器的值大于自动重加载的值 (TIMx_CNT > TIMx_ARR)，则方向不会被更新。即，向上计数的计数器在该情况下会继续向上计数，其他同理；
 - 如果将 0 或者 TIMx_ARR 的值写入计数器，方向会被更新，但不会产生更新事件 UEV。
- 使用中央对齐模式最保险的方法，就是在启动计数器之前产生一个软件更新（设置 TIMx_EGR 位中的 UG 位），并且不要在计数进行过程中修改计数器的值。

2.9.4.11 互补输出和死区插入

高级控制定时器能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性（电平转换的延时、电源

开关的延时等)来调整死区时间。配置 `TIMERx_CCER` 寄存器中的 `CCxP` 和 `CCxNP` 位, 可以为每一个输出独立地选择极性(主输出 `OCx` 或互补输出 `OCxN`)。

互补信号 `OCx` 和 `OCxN` 通过下列控制位的组合进行控制: `TIMERx_CCER` 寄存器的 `CCxE` 和 `CCxNE` 位, `TIMERx_BDTR` 和 `TIMERx_CR1` 寄存器中的 `MOE`、`OISx`、`OISxN`、`OSSI` 和 `OSSR` 位, 详见表 10-1。特别地, 在转换到 `IDLE` 状态时 (`MOE` 下降到 0) 时, 死区会被激活。

同时设置 `CCxE` 和 `CCxNE` 位将插入死区, 如果存在刹车电路, 则还要设置 `MOE` 位。每一个通道都有一个 8 位的死区发生器。参考信号 `OCxREF` 可以产生 2 路输出 `OCx` 和 `OCxN`。如果 `OCx` 和 `OCxN` 为高位有效:

- `OCx` 输出信号与参考信号相同, 只是它的上升沿相对于参考信号的上升沿有一个延迟;
- `OCxN` 输出信号与参考信号相反, 只是它的上升沿相对于参考信号的下降沿有一个延迟。如果延迟大于当前有效的输出宽度 (`OCx` 或者 `OCxN`), 则不会产生相应的脉冲。下列几张图显示了死区发生器的输出信号和当前参考信号 `OCxREF` 之间的关系。(假设 `CCxP = 0`、`CCxNP = 0`、`MOE = 1`、`CCxE = 1` 并且 `CCxNE = 1`)。

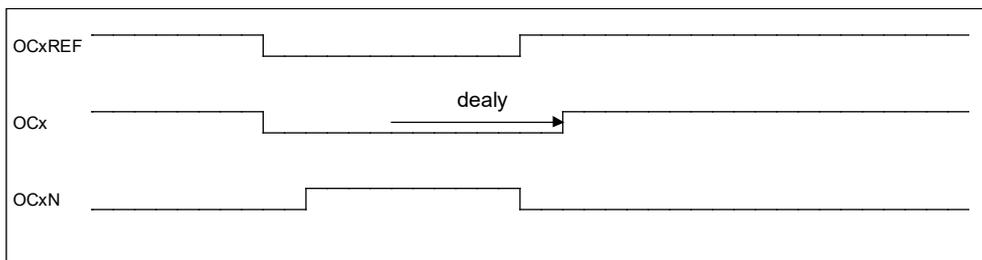


图 2-32 带死区插入的互补输出

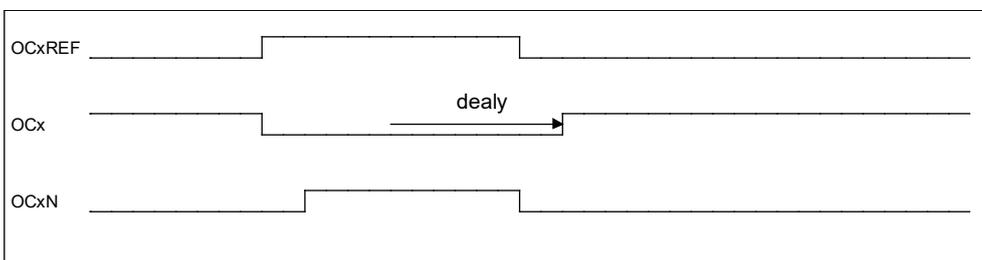


图 2-33 死区波形延迟大于负脉冲

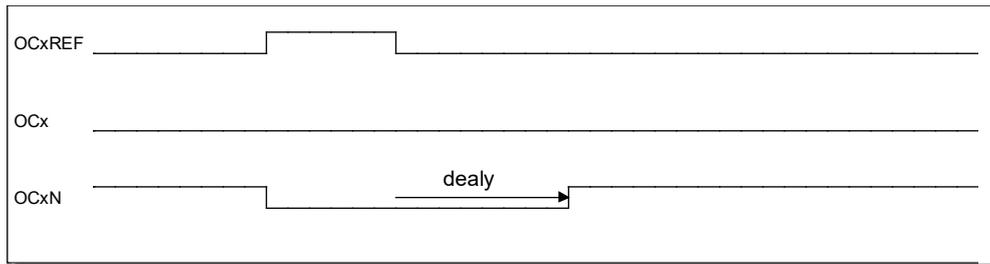


图 2-34 死区波形延迟大于正脉冲

每一个通道的死区延时都是相同的，是由 `TIMERx_BDTR` 寄存器中的 `DTG` 位编程配置的。

2.9.4.11.1 重定向 `OCxREF` 到 `OCx` 或 `OCxN`

在输出模式下（强置、输出比较或 PWM），通过配置 `TIMx_CCER` 寄存器的 `CCxE` 和 `CCxNE` 位，`OCxREF` 可以被重定向到 `OCx` 或者 `OCxN` 的输出。这个功能可以在互补输出处于无效电平时，在某个输出上送出一个特殊的波形（例如 PWM 或者静态有效电平）。另一个作用是，让两个输出同时处于无效电平，或处于有效电平和带死区的互补输出状态。

注：当只使能 `OCxN` (`CCxE = 0, CCxNE = 1`) 时，`OCx` 和 `OCxN` 不互补相。当 `OCxREF` 有效时 `OCxN` 立即变高。例如，如果 `CCxNP = 0`，则 `OCxN = OCxREF`。另一方面，当 `OCx` 和 `OCxN` 都被使能时 (`CCxE = CCxNE = 1`)，当 `OCxREF` 为高时 `OCx` 有效；而 `OCxN` 相反，当 `OCxREF` 低时 `OCxN` 变为有效。

2.9.4.12 刹车功能

当使用刹车功能时，依据相应的控制位（`TIMERx_BDTR` 寄存器中的 `MOE`、`OSSI` 和 `OSSR` 位，`TIMERx_CR1` 寄存器中的 `OISx` 和 `OISxN` 位），输出使能信号和无效电平都会被修改。但无论何时，`OCx` 和 `OCxN` 输出不能在同一时间同时处于有效电平上。详见表 10-1。

当发生刹车时（在刹车输入端出现选定的电平），有下述动作：

- `MOE` 位被异步地清除，将输出置于无效状态、空闲状态或者复位状态（由 `OSSI` 位选择）；
- 一旦 `MOE = 0`，每一个输出通道输出由 `TIMERx_CR1` 寄存器中的 `OISx` 位设定的电平决定。如果 `OSSI = 0`，则定时器释放使能输出，否则使能输出始终为高；
- 当使用互补输出时：
 - 输出首先被置于复位状态即无效的状态（取决于极性）；
 - 如果定时器的时钟依然存在，死区生成器将会重新生效，在死区之后根据 `OISx` 和

OISxN 位指示的电平驱动输出端口。即使在这种情况下，OCx 和 OCxN 也不能被同时驱动到有效的电平。注：因为重新同步 MOE，死区时间比通常情况下长一些（大约 2 个 ck 的时钟周期）：

- 如果 OSSI=0，定时器释放使能输出，否则保持使能输出；或一旦 CCxE 与 CCxNE 之一变高时，使能输出变为高。
- 如果设置了 TIMERx_DIER 寄存器中的 BIE 位，当刹车状态标志（TIMx_SR 寄存器中的 BIF 位）为 1 时，则产生一个中断；
- 如果设置了 TIMERx_BDTR 寄存器中的 AOE 位，在下一个更新事件 UEV 时 MOE 位被自动置位；这可以用来进行整形。否则，MOE 始终保持低直到被再次置 1；这个特性也可以被用在安全方面，你可以把刹车输入连到电源驱动的报警输出、热敏传感器或者其他安全器件上。

刹车由 BKI 输入产生，它的有效极性是可编程的，且由 TIMERx_BDTR 寄存器中的 BKE 位开启。除了刹车输入和输出管理，刹车电路中还实现了写保护以保证应用程序的安全。它允许用户冻结几个配置参数（死区长度，OCx/OCxN 极性和被禁止的状态，OCxM 配置，刹车使能和极性）。用户可以通过 TIMERx_BDTR 寄存器中的 LOCK 位，从三级保护中选择一种。在 MCU 复位后 LOCK 位只能被修改一次。

下图显示响应刹车的输出实例。

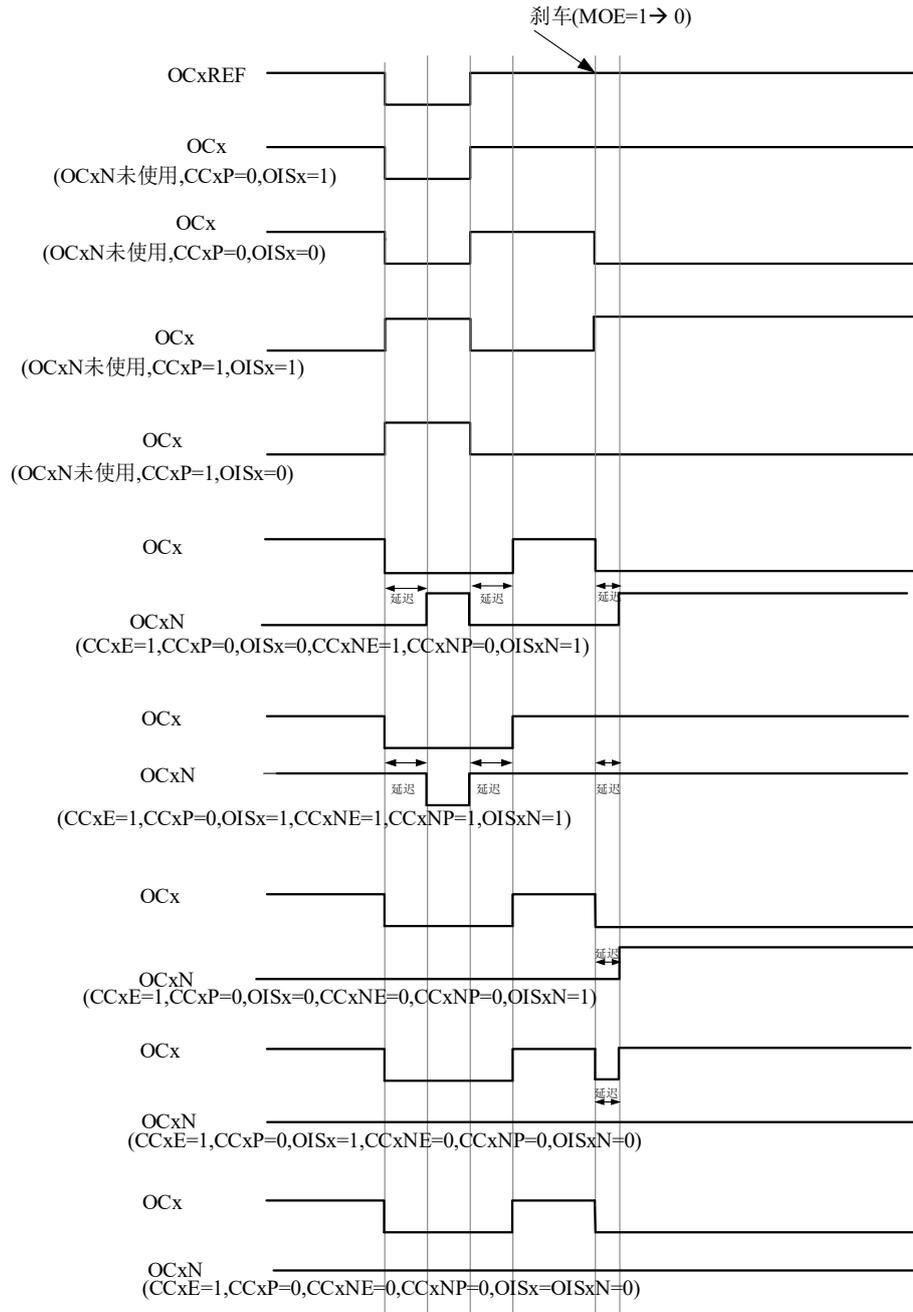


图 2-35 响应刹车的输出

2.9.4.13 六步 PWM 产生

当在一个通道上需要互补输出时，预装载位有 OCxM、CCxE 和 CCxNE。在发生 COM 换相事件时，这些预装载位被传送到影子寄存器位。用户可以预先设置好下一步骤的配置，并在同一个时刻同时修改所有通道的配置。COM 可以通过设置 TIMERx_EGR 寄存器的 COM 位由软件产生，或在 TRGI 上升沿由硬件产生。当发生 COM 事件时会设置一个标志

位 (TIMERx_SR 寄存器中的 COMIF 位)，这时如果已设置了 TIMERx_DIER 寄存器的 COMIE 位，则产生一个中断。

下图显示当发生 COM 事件时，三种不同配置下 OCx 和 OCxN 输出。

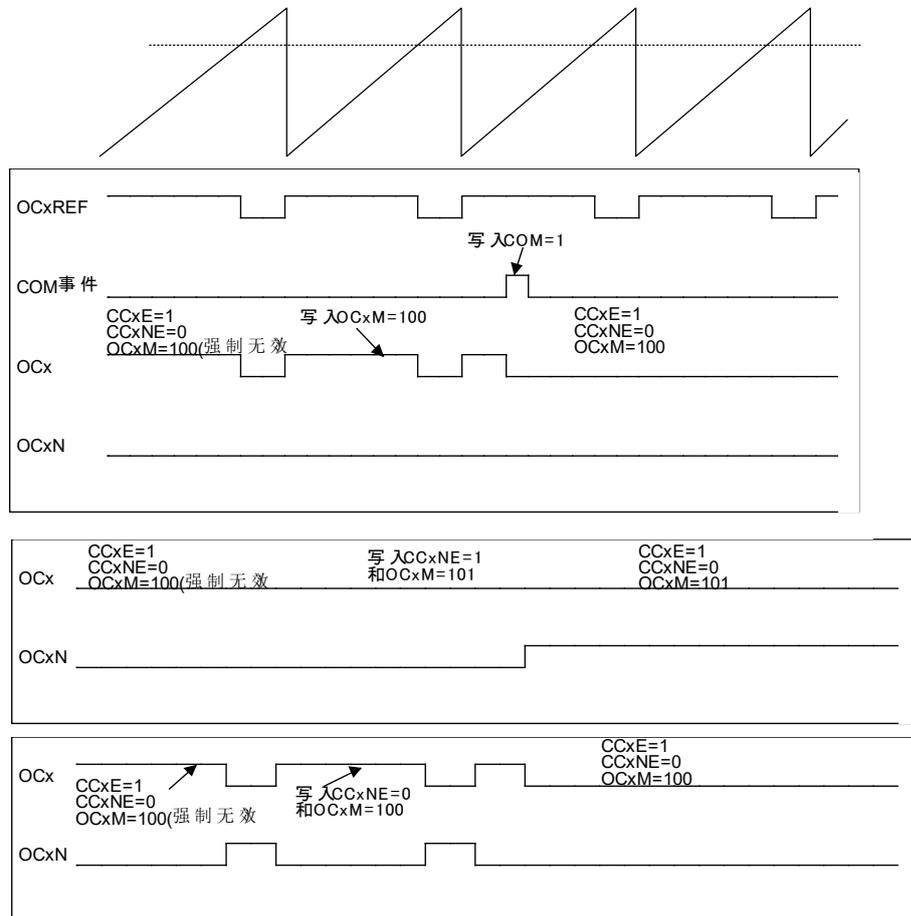


图 2-36 产生六步 PWM，使用 COM 的例子 (OSSR=1)

2.9.4.14 单脉冲模式

单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可被程序控制的脉冲。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIMERx_CR1 寄存器中的 OPM 位应选择单脉冲模式，这样可以使计数器自动地在产生下一个更新事件 UEV 时停止。仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须如下配置：

- 向上计数方式：计数器 $CNT < CCRx \leq ARR$ （特别地， $CCRx > 0$ ）；
- 向下计数方式：计数器 $CNT > CCRx$ 。

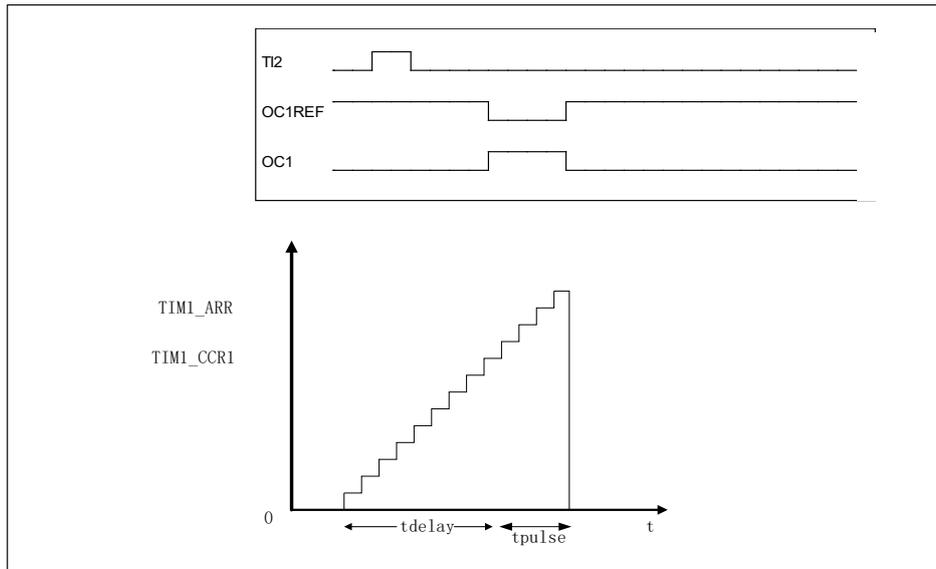


图 2-37 单脉冲模式的例子

例如，你需要在从 TI2 输入脚上检测到一个上升沿开始，延迟 t_{DELAY} 之后，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1：

- 置 `TIMERx_CCMR1` 寄存器中的 `CC2S = 01`，把 TI2FP2 映像到 TI2；
- 置 `TIMERx_CCER` 寄存器中的 `CC2P = 0`，使 TI2FP2 能够检测上升沿；
- 置 `TIMERx_CR1` 寄存器中的 `TS = 2'b10`，TI2FP2 作为从模式控制器的触发（TRGI）
- 置 `TIMERx_CR1` 寄存器中的 `SMS = 110`（触发模式），TI2FP2 被用来启动计数器，OPM 的波形由写入比较寄存器的数值决定（要考虑时钟频率和计数器预分频器）；
- t_{DELAY} 由 `TIMx_CCR1` 寄存器中的值定义；
- t_{PULSE} 由自动装载值和比较值之间的差值定义（`TIMERx_ARR - TIMERx_CCR1`）；
- 假定当发生比较匹配时要产生从 0 到 1 的波形，当计数器达到预装载值时要产生一个从 1 到 0 的波形；首先要置 `TIMERx_CCMR1` 寄存器的 `OC1M = 111`，进入 PWM 模式 2；根据需要选择性地使能预装载寄存器：置 `TIMERx_CCMR1` 中的 `OC1PE = 1` 和 `TIMERx_CR1` 寄存器中的 `ARPE`；然后在 `TIMERx_CCR1` 寄存器中填写比较值，在 `TIMERx_ARR` 寄存器中填写自动装载值，设置 `UG` 位来产生一个更新事件，然后等待在 TI2 上的一个外部触发事件。本例中，`CC1P = 0`。

在这个例子中，`TIMERx_CR1` 寄存器中的 `DIR` 和 `CMS` 位应该置低。因为只需要一个脉冲，所以必须设置 `TIMERx_CR1` 寄存器中的 `OPM = 1`，在下一个更新事件时停止计数。

2.9.4.15 定时器输入异或功能

`TIMERx_CR1` 寄存器中的 `TIIS` 位，允许通道 1 的输入滤波器连接到一个异或门的输出

端，异或门的 3 个输入端为 `TIMERx_CH1`、`TIMERx_CH2` 和 `TIMERx_CH3`。异或输出能够被用于所有定时器的输入功能，如触发或输入捕获。

2.9.4.16 与霍尔传感器的接口

使用定时器 `TIMER1` 产生 PWM 信号来驱动马达，另一个定时器作为“接口定时器”与霍尔传感器相连。3 个定时器输入引脚（`TIMERx_CH1`、`TIMERx_CH2` 和 `TIMERx_CH3`）通过异或门连接到 `TI1` 输入通道（通过将 `TIMERx_CR1` 寄存器中的 `TI1S` 位置 1 来选择），并由接口定时器进行捕获。

从模式控制器配置为复位模式；从输入为 `TI1F_ED`。因而，每次 3 个输入中有一个输入变化时，计数器会从 0 开始重新计数。这样将产生由霍尔输入的任何变化而触发的时基。

在接口定时器上，捕获/比较通道 1 配置为捕获模式，捕获信号 `TRC`。捕获值对应于输入上两次变化的间隔时间，可提供与电机转速相关的信息。

接口定时器可用于在输出模式下产生脉冲，以通过触发 `COM` 事件更改定时器各个通道的配置。`TIMER1` 定时器用于生成电机驱动 PWM 信号。为此，必须对接口定时器通道进行编程，以便在编程的延迟过后产生正脉冲（在输出比较或 PWM 模式中）。该脉冲通过 `TRGO` 输出发送到另一个定时器。

示例：霍尔输入与一个 `TIMER2` 定时器相连接，要求每次任一霍尔输入上发生变化后的一个指定时刻，改变定时器 `TIMER1` 的 PWM 配置。

- 置 `TIMER2_CR1` 寄存器的 `TI1S` 位为 1，使 3 个定时器输入经过异或运算后进入 `TI1` 输入通道；
- 时基编程：向 `TIMER2_ARR` 写入其最大值 `16'hffff`（计数器必须通过 `TI1` 的变化清零）。设置预分频器，以得到最大计数器周期，该周期长于传感器上两次变化的间隔时间；
- 将通道 1 编程为捕获模式（选择 `TRC`）：配置 `TIMER2_CCMR1` 寄存器的 `CC1S = 2'b11`。如果需要，还可以编程数字滤波器；
- 将通道 2 编程为 PWM2 模式，并具有所需延迟：置 `TIMERx_CCMR1` 寄存器的 `OC2M = 3'b111`，`CC2S = 2'b00`；
- 选择 `OC2REF` 作为 `TRGO` 上的触发输出：置 `TIMER2_CR1` 寄存器的 `MMS = 3'b101`，`TS = 2'b11`。

在定时器 `TIMER1` 中，必须选择正确的 `ITR` 输入作为触发输入，定时器编程为可产生 PWM 信号，捕获/比较控制信号进行预装载（`TIMER2_CR1` 寄存器的 `CCPC = 1`），并且 `COM` 事件由触发输入控制（`TIMER2_CR1` 寄存器中 `CCUS = 1`）。发生 `COM` 事件后，在 PWM 控制位（`CCxE`、`OCxM`）中写入下一步的配置，此操作可在由 `OC2REF` 上升沿产生的

中断子程序中完成。

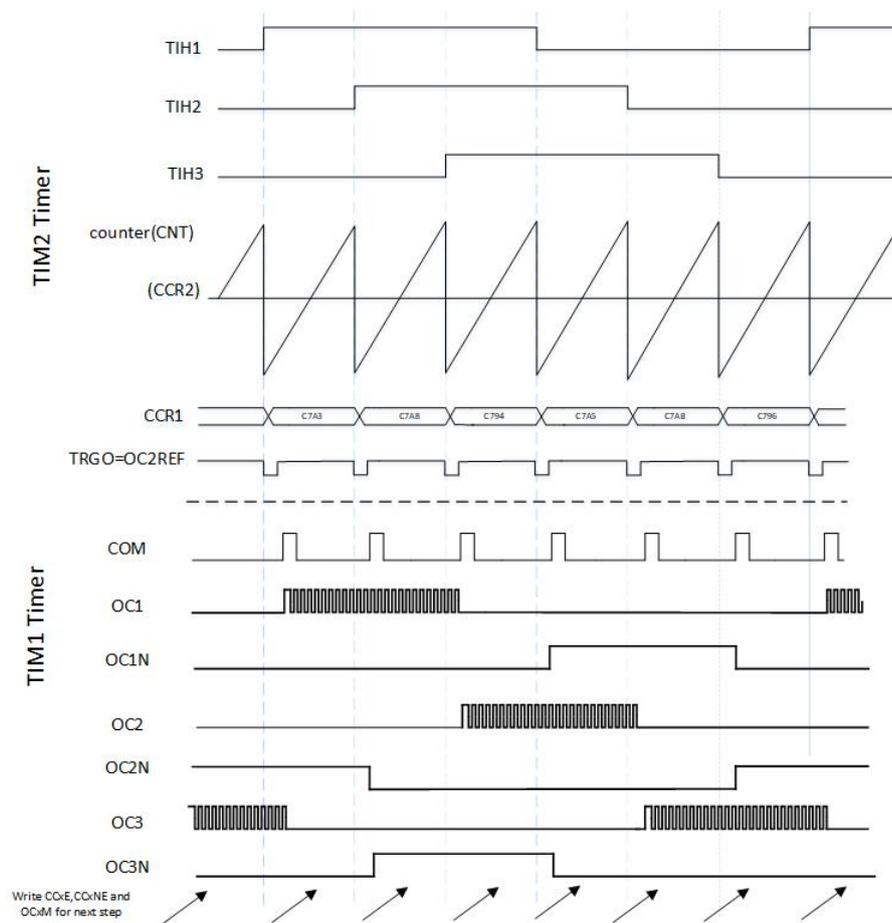


图 2-38 霍尔传感器接口的例子

2.9.4.17 定时器和外部触发的同步

TIMERx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

2.9.4.17.1 从模式：复位模式

在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TIMERx_CR1 寄存器的 URS 位为低，还产生一个更新事件 UEV；然后所有的预装载寄存器（TIMERx_ARR，TIMERx_CCRx）都会被更新。

在以下的例子中，TI1 输入端的上升沿导致向上计数器被清零：

- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽（在本例中，不需要任何

滤波器，因此保持 IC1F = 0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位只选择输入捕获源，即 TIMERx_CCMR1 寄存器中 CC1S = 01。置 TIMERx_CCER 寄存器中 CC1P = 0 以确定极性（只检测上升沿）；

- 置 TIMERx_CR1 寄存器中 SMS = 100，配置定时器为复位模式；置 TIMERx_CR1 寄存器中 TS = 2'b01，选择 TI1 作为输入源；
- 置 TIMERx_CR1 寄存器中 CEN = 1，启动计数器。

计数器开始依据内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TIMERx_SR 寄存器中的 TIF 位）被设置。

下图显示当自动重载寄存器 TIMERx_ARR = 0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

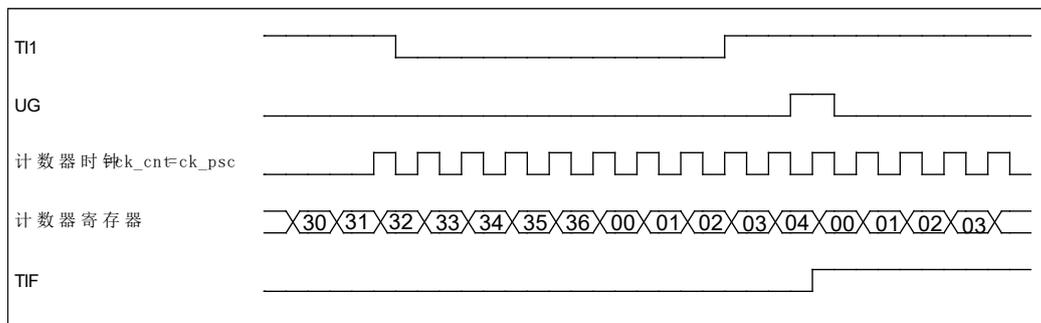


图 2-39 复位模式下的控制电路

2.9.4.17.2 从模式：门控模式

按照选中的输入端电平使能计数器。

在如下的例子中，计数器只在 TI1 为低时向上计数：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持 IC1F = 0000）。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位用于选择输入捕获源，置 TIMERx_CCMR1 寄存器中 CC1S = 01。置 TIMERx_CCER 寄存器中 CC1P = 1 以确定极性（只检测低电平）；
- 置 TIMERx_CR1 寄存器中 SMS = 101，配置定时器为门控模式；置 TIMERx_CR1 寄存器中 TS = 2'b01，选择 TI1 作为输入源；
- 置 TIMERx_CR1 寄存器中 CEN = 1，启动计数器。在门控模式下，如果 CEN = 0，则计数器不能启动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器

开始或停止时都设置 `TIMERx_SR` 中的 `TIF` 标志。`TI1` 上升沿和计数器实际停止之间的延时取决于 `TI1` 输入端的重同步电路。

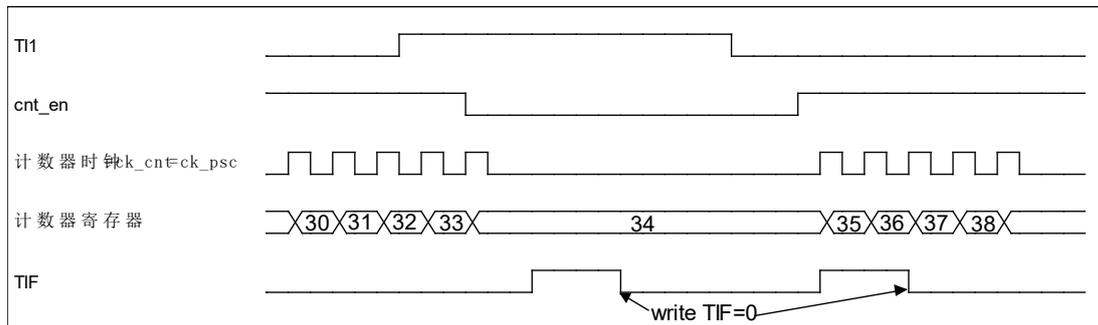


图 2-40 门控模式下的控制电路

2.9.4.17.3 从模式：触发模式

输入端上选中的事件使能计数器。在下面的例子中，计数器在 `TI2` 输入的上升沿开始向上计数：

- 配置通道 2 检测 `TI2` 的上升沿。配置输入滤波器带宽(本例中，不需要任何滤波器，保持 `IC2F = 0000`)。触发操作中不使用捕获预分频器，不需要配置。`CC2S` 位只用于选择输入捕获源，置 `TIMERx_CCMR1` 寄存器中 `CC2S = 01`。置 `TIMERx_CCER` 寄存器中 `CC2P = 1` 以确定极性（只检测低电平）；
- 置 `TIMERx_CR1` 寄存器中 `SMS = 110`，配置定时器为触发模式；置 `TIMERx_CR1` 寄存器中 `TS = 2'b10`，选择 `TI2` 作为输入源。

当 `TI2` 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 `TIF` 标志。

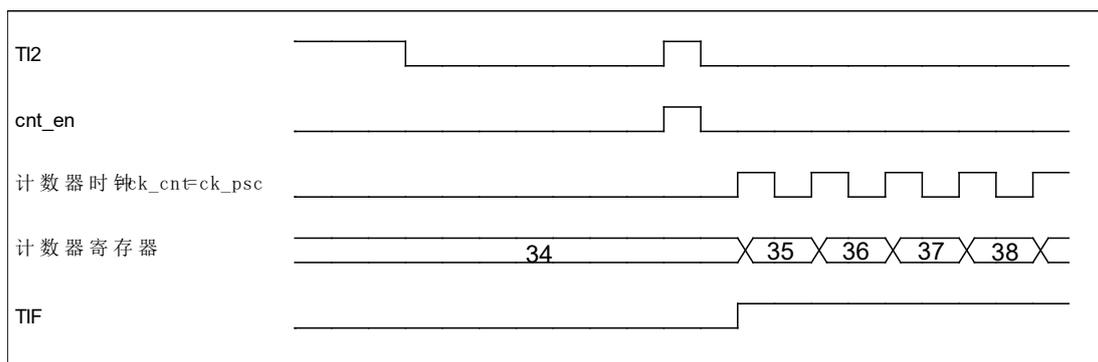


图 2-41 触发器模式下的控制电路

2.9.5 TIMERx 寄存器描述

TIM1 基址: 0x3000_0018

TIM2 基址: 0x3000_0098

2.9.5.1 控制寄存器 (TIMERx_CR1)

偏移地址: 0x00

复位值: 0x0000_0000

31	30	29	28	27	26	25	24
Reserved	MMS			Reserved		TS	
	RW					RW	
23	22	21	20	19	18	17	16
TI1S	SMS			CCUS	CCPC	OIS4N	OIS4
RW	RW			RW	RW	RW	RW
15	14	13	12	11	10	9	8
OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	CKD	
RW	RW	RW	RW	RW	RW	RW	
7	6	5	4	3	2	1	0
ARPE	CMS		DIR	OPM	URS	UDIS	CEN
RW	RW		RW	RW	RW	RW	RW

位	标记	功能描述
31	Reserved	保留位
30:28	MMS	100: 比较 – OC1REF 信号被用于作为触发输出 (TRGO) ; 101: 比较 – OC2REF 信号被用于作为触发输出 (TRGO) ; 110: 比较 – OC3REF 信号被用于作为触发输出 (TRGO) ; 111: 比较 – OC4REF 信号被用于作为触发输出 (TRGO)
27:26	Reserved	保留位
25:24	TS	触发选择, 选择用于同步计数器的触发输入。 00: TI1 的边沿检测器, TI1 的上/降沿均有效 (TI1F_ED) ; 01: 滤波后的定时器输入 1 (TI1FP1) ; 10: 滤波后的定时器输入 2 (TI2FP2) ; 11: ITR (timer1 中选择的是 timer2 的 TRGO, timer2 中选择的是 timer1 的 TRGO)

位	标记	功能描述
23	TI1S	<p>TI1S: TI1 选择</p> <p>0: TIM1_CH1 管脚连到 TI1 输入;</p> <p>1: TIMx_CH1、TIMx_CH2 和 TIMx_CH3 管脚经异或后连到 TI1 输入</p>
22:20	SMS	<p>当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性关。</p> <p>100: 复位模式: 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号;</p> <p>101: 门控模式: 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的;</p> <p>110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动 (但不复位), 只有计数器的启动是受控的;</p> <p>111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器</p> <p><i>注: 如果 TI1F_ED 被选为触发输入 (TS = 00) 时, 不要使用门控模式。这是因为 TI1F_ED 在每次 TI1F 变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</i></p>
19	CCUS	<p>捕获/比较控制更新选择</p> <p>0: 如果捕获/比较控制位是预装载的 (CCPC=1), 只能通过设置 COM 位更新它们;</p> <p>1: 如果捕获/比较控制位是预装载的 (CCPC=1), 可以通过设置 COM 位或 TRGI 上的一个上升沿更新它们。</p> <p><i>注: 该位只对具有互补输出的通道起作用。</i></p>
18	CCPC	<p>捕获/比较预装载控制位</p> <p>0: CCxE, CCxNE 和 OCxM 位不是预装载的;</p> <p>1: CCxE, CCxNE 和 OCxM 位是预装载的; 设置该位后, 它们只在设置了 COM 位后被更新。</p> <p><i>注: 该位只对具有互补输出的通道起作用。</i></p>
17	OIS4N	<p>输出空闲状态 1 (OC4N 输出)。</p> <p>0: 当 MOE = 0 时, 死区后 OC4N = 0;</p> <p>1: 当 MOE = 0 时, 死区后 OC4N = 1。</p> <p><i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i></p>
16	OIS4	<p>输出空闲状态 1 (OC4 输出)。</p> <p>0: 当 MOE = 0 时, 如果实现了 OC4N, 则死区后 OC4 = 0;</p> <p>1: 当 MOE = 0 时, 如果实现了 OC4N, 则死区后 OC4 = 1。</p> <p><i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i></p>
15	OIS3N	<p>输出空闲状态 1 (OC3N 输出)。</p> <p>0: 当 MOE = 0 时, 死区后 OC3N = 0;</p>

位	标记	功能描述
		1: 当 MOE = 0 时, 死区后 OC3N = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
14	OIS3	输出空闲状态 1 (OC3 输出)。 0: 当 MOE = 0 时, 如果实现了 OC3N, 则死区后 OC3 = 0; 1: 当 MOE = 0 时, 如果实现了 OC3N, 则死区后 OC3 = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
13	OIS2N	输出空闲状态 1 (OC2N 输出)。 0: 当 MOE = 0 时, 死区后 OC2N = 0; 1: 当 MOE = 0 时, 死区后 OC2N = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
12	OIS2	输出空闲状态 1 (OC2 输出)。 0: 当 MOE = 0 时, 如果实现了 OC2N, 则死区后 OC2 = 0; 1: 当 MOE = 0 时, 如果实现了 OC2N, 则死区后 OC2 = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
11	OIS1N	输出空闲状态 1 (OC1N 输出)。 0: 当 MOE = 0 时, 死区后 OC1N = 0; 1: 当 MOE = 0 时, 死区后 OC1N = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
10	OIS1	输出空闲状态 1 (OC1 输出)。 0: 当 MOE = 0 时, 如果实现了 OC1N, 则死区后 OC1 = 0; 1: 当 MOE = 0 时, 如果实现了 OC1N, 则死区后 OC1 = 1。 <i>注: 已经设置了 LOCK (TIMER1_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。</i>
9:8	CKD	时钟分频因子 这 2 位定义在定时器时钟 (CK_INT) 频率与数字滤波器 (Tix) 使用的采样频率之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$; 01: $t_{DTS} = 2 \times t_{CK_INT}$; 10: $t_{DTS} = 4 \times t_{CK_INT}$; 11: 保留
7	ARPE	自动重装载预装载允许位 0: TIMERx_ARR 寄存器没有缓冲; 1: TIMERx_ARR 寄存器被装入缓冲器

位	标记	功能描述
6:5	CMS	<p>选择中央对齐模式</p> <p>00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数;</p> <p>01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TIMERx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 只在计数器向下计数时被设置;</p> <p>10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 (TIMERx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 只在计数器向上计数时被设置;</p> <p>11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TIMERx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置;</p> <p><i>注: 在计数器开启时 (CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。</i></p>
4	DIR	<p>方向</p> <p>0: 计数器向上计数;</p> <p>1: 计数器向下计数。</p> <p><i>注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</i></p>
3	OPM	<p>单脉冲模式</p> <p>0: 在发生更新事件时, 计数器不停止;</p> <p>1: 在发生下一次更新事件 (清除 CEN 位) 时, 计数器停止</p>
2	URS	<p>更新请求源</p> <p>软件通过该位选择 UEV 事件的源</p> <p>0: 如果允许产生更新中断, 则下述任一事件产生一个更新中断:</p> <ul style="list-style-type: none"> - 计数器溢出/下溢 - 设置 UG 位 - 从模式控制器产生的更新; <p>1: 如果允许产生更新中断, 则只有计数器溢出/下溢产生一个更新中断</p>
1	UDIS	<p>禁止更新</p> <p>软件通过该位允许/禁止 UEV 事件的产生</p> <p>0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生:</p> <ul style="list-style-type: none"> - 计数器上溢/下溢 - 设置 UG 位 - 从模式控制器产生的更新 <p>被缓存的寄存器被装入它们的预装载值;</p> <p>1: 禁止 UEV。不产生更新事件, 影子寄存器 (ARR, PSC, CCRx) 保持它们的值。如果设置了 UG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化</p>
0	CEN	<p>允许计数器</p> <p>0: 禁止计数器;</p>

位	标记	功能描述
		1: 开启计数器。 <i>注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。在单脉冲模式下, 当发生更新事件时, CEN 被自动清除。</i>

2.9.5.2 滤波寄存器 (TIMERx_ICF)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F[3:0]				IC3F[3:0]				IC2F[3:0]				IC1F[3:0]			
RW				RW				RW				RW			

位	标记	功能描述
31:16	Reserved	保留位
15:12	IC4F[3:0]	输入捕获 4 滤波器
11:8	IC3F[3:0]	输入捕获 3 滤波器
7:4	IC2F[3:0]	输入捕获 2 滤波器
3:0	IC1F[3:0]	输入捕获 1 滤波器 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 fDTS 采样; 0001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=2; 0010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=4; 0011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=8; 0100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/2$, N=6; 0101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/2$, N=8; 0110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/4$, N=6; 0111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/4$, N=8; 1000: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/8$, N=6; 1001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/8$, N=8; 1010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, N=5; 1011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, N=6;

位	标记	功能描述
		1100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, $N=8$; 1101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, $N=5$; 1110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, $N=6$; 1111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, $N=8$ 。 <i>注: 在现在的芯片版本中, 当 ICxF[3:0]=1, 2 或 3 时, 公式中的 f_{DTS} 由 CK_INT 替代。</i>

2.9.5.3 中断使能寄存器 (TIMERx_DIER)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
Reserved								RW	RW	RW	RW	RW	RW	RW	RW

位	标记	功能描述
31:8	Reserved	保留位
7	BIE	允许刹车中断 0: 禁止刹车中断; 1: 允许刹车中断
6	TIE	允许触发中断 0: 禁止触发中断; 1: 允许触发中断
5	COMIE	允许 COM 中断 0: 禁止 COM 中断; 1: 允许 COM 中断
4	CC4IE	允许捕获/比较 4 中断 0: 禁止捕获/比较 4 中断; 1: 允许捕获/比较 4 中断
3	CC3IE	允许捕获/比较 3 中断 0: 禁止捕获/比较 3 中断; 1: 允许捕获/比较 3 中断
2	CC2IE	允许捕获/比较 2 中断

位	标记	功能描述
		0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断
1	CC1IE	允许捕获/比较 1 中断 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断
0	UIE	允许更新中断 0: 禁止更新中断; 1: 允许更新中断

2.9.5.4 状态寄存器 (TIMERx_SR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CC	CC	CC	CC	BIF	TIF	CO	CC	CC	CC	CC	UIF
				4OF	3OF	2OF	1OF			MIF	4IF	3IF	2IF	1IF	
				RW											

位	标记	功能描述
31:12	Reserved	保留位
11	CC4OF	捕获/比较 4 过捕获标记 参见 CC1OF 描述
10	CC3OF	捕获/比较 3 过捕获标记 参见 CC1OF 描述
9	CC2OF	捕获/比较 2 过捕获标记 参见 CC1OF 描述
8	CC1OF	捕获/比较 1 过捕获标记 仅当相应的通道被配置为输入捕获时，该标记可由硬件置 1。写 0 可清除该位。 0: 无过捕获产生; 1: CC1IF 置 1 时，计数器的值已经被捕获到 TIMERx_CCR1 寄存器。
7	BIF	刹车中断标记 一旦刹车输入有效，由硬件对该位置 1。如果刹车输入无效，则该位可由软件清 0。 0: 无刹车事件产生; 1: 刹车输入上检测到有效电平

位	标记	功能描述
6	TIF	<p>触发器中断标记</p> <p>当发生触发事件（当从模式控制器处于除门控模式外的其它模式时，在 TRGI 输入端检测到有效边沿，或门控模式下的任一边沿）时由硬件对该位置 1。该位由软件清 0。</p> <p>0: 无触发器事件产生； 1: 触发器中断等待响应</p>
5	COMIF	<p>COM 中断标记</p> <p>一旦产生 COM 事件（当 CCxE、CCxNE、OCxM 已被更新），该位由硬件置 1。该位由软件清 0。</p> <p>0: 无 COM 事件产生； 1: COM 中断等待响应</p>
4	CC4IF	<p>捕获/比较 4 中断标记</p> <p>参考 CC1IF 描述</p>
3	CC3IF	<p>捕获/比较 3 中断标记</p> <p>参考 CC1IF 描述</p>
2	CC2IF	<p>捕获/比较 2 中断标记</p> <p>参考 CC1IF 描述</p>
1	CC1IF	<p>捕获/比较 1 中断标记</p> <p>如果通道 CC1 配置为输出模式： 当计数器值与比较值匹配时该位由硬件置 1，但在中心对称模式下除外（参考 TIMER1_CR1 寄存器的 CMS 位）。该位由软件清 0。</p> <p>0: 无匹配发生； 1: TIM1_CNT 的值与 TIM1_CCR1 的值匹配。</p> <p>如果通道 CC1 配置为输入模式： 当捕获事件发生时该位由硬件置 1，该位由软件清 0 或通过 TIMEx_CCR1 清 0。</p> <p>0: 无输入捕获产生； 1: 输入捕获产生并且计数器值已装入 TIMEx_CCR1（在 IC1 上检测到与所选极性相同的边沿）</p>
0	UIF	<p>更新中断标记</p> <p>当产生更新事件时该位由硬件置 1。该位由软件清 0。</p> <p>0: 无更新事件产生； 1: 更新事件等待响应。当寄存器被更新时该位由硬件置 1： - 若 TIMEx_CR1 寄存器的 UDIS = 0，当 REP_CNT = 0 时产生更新事件（重复向下计数器上溢或下溢时）； - 若 TIMEx_CR1 寄存器的 UDIS = 0、URS = 0，当 TIMEx_EGR 寄存器的 UG=1 时产生更新事件（软件对 CNT 重新初始化）； - 若 TIMEx_CR1 寄存器的 UDIS = 0、URS = 0，当 CNT 被触发事件重初始化时产生更新事件</p>

2.9.5.5 事件产生寄存器 (TIMERx_EGR)

偏移地址: 0x10

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BG	TG	COMG	CC4G	CC2G	CC1G	UG	
Reserved								W	W	W	W	W	W	W	

位	标记	功能描述
31: 8	Reserved	保留位
7	BG	产生刹车事件 该位由软件置 1, 用于产生一个刹车事件, 由硬件自动清 0。 0: 无动作; 1: 产生一个刹车事件。此时 MOE = 0、BIF = 1。
6	TG	产生触发事件 该位由软件置 1, 用于产生一个触发事件, 由硬件自动清 0。 0: 无动作; 1: 产生一个触发事件。此时 TIF = 1。
5	COMG	捕获/比较事件, 产生控制更新 该位由软件置 1, 由硬件自动清 0。 0: 无动作; 1: 当 CCPC = 1, 允许更新 CCxE、CCxNE、OCxM 位。 注: 该位只对有互补输出的通道有效
4	CC4G	产生捕获/比较 4 事件 参考 CC1G 描述
3	CC3G	产生捕获/比较 3 事件 参考 CC1G 描述
2	CC2G	产生捕获/比较 2 事件 参考 CC1G 描述
1	CC1G	产生捕获/比较 1 事件 该位由软件置 1, 用于产生一个捕获/比较事件, 由硬件自动清 0。 0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出:

位	标记	功能描述
		设置 CC1IF=1, 若开启对应的中断, 则产生相应的中断。 若通道 CC1 配置为输入: 当前的计数器值捕获至 TIMEx_CCR1 寄存器, 设置 CC1IF = 1, 若开启对应的中断, 则产生相应的中断。若 CC1IF 已经为 1, 则设置 CC1OF = 1
0	UG	产生更新事件 该位由软件置 1, 由硬件自动清 0。 0: 无动作; 1: 重新初始化计数器, 并产生一个更新事件。注意预分频器的计数器也被清 0 (但是预分频系数不变)。若在中心对称模式下或 DIR = 0 (向上计数) 则计数器被清 0, 若 DIR = 1 (向下计数) 则计数器取 TIMEx_ARR 的值。

2.9.5.6 捕获/比较模式寄存器 1 (TIMEx_CCMR1)

偏移地址: 0x14

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	OC2M [2:0]		OC2PE	RES	CC2S [1:0]		RES	OC1M [2:0]		OC1PE	RES	CC1S [1:0]			
	RW	RW	RW		RW	RW		RW							

位	标记	功能描述
31:15	RES	保留位
14:12	OC2M[2: 0]	输出比较 2 模式
11	OC2PE	输出比较 2 预装载使能
10	RES	保留位
9:8	CC2S[1: 0]	捕获/比较 2 选择。 该位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TIMEx_CR1 寄存器的 TS = 2'b11)。 <i>注: CC2S 仅在通道关闭时 (TIMEx_CCER 寄存器的 CC2E = 0) 才是可写的。</i>

位	标记	功能描述
7	RES	保留位
6:4	OC1M[2: 0]	<p>输出比较 1 模式</p> <p>该位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1、OC1N 的值。OC1REF 是高电平有效，而 OC1、OC1N 的有效电平取决于 CC1P、CC1NP 位。</p> <p>000: 冻结。输出比较寄存器 TIMERx_CCR1 与计数器 TIMERx_CNT 间的比较对 OC1REF 不起作用；</p> <p>001: 匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1 (TIMERx_CCR1) 相同时，强制 OC1REF 为高；</p> <p>010: 匹配时设置通道 1 为无效电平。当计数器 TIMERx_CNT 的值与捕获/比较寄存器 1 (TIMERx_CCR1) 相同时，强制 OC1REF 为低；</p> <p>011: 翻转。当 TIMERx_CCR1 = TIMERx_CNT 时，翻转 OC1REF 的电平；</p> <p>100: 强制为无效电平。强制 OC1REF 为低；</p> <p>101: 强制为有效电平。强制 OC1REF 为高；</p> <p>110: PWM 模式 1— 在向上计数时，一旦 TIMERx_CNT < TIMERx_CCR1 时通道 1 为有效电平，否则为无效电平；在向下计数时，一旦 TIM1_CNT > TIM1_CCR1，通道 1 变为无效电平 (OC1REF = 0)，否则变为有效电平 (OC1_REF = 1)；</p> <p>111: PWM 模式 2— 在向上计数时，一旦 TIMERx_CNT < TIMERx_CCR1，通道 1 变为无效电平，否则变为有效电平；在向下计数时，一旦 TIMERx_CNT > TIMERx_CCR1，通道 1 变为有效电平，否则变为无效电平。</p> <p><i>注 1: 一旦 LOCK 级别设为 3 (TIMx_BDTR 寄存器中的 LOCK 位) 并且 CCIS = 00 (该通道配置成输出) 则该位不能被修改。</i></p> <p><i>注 2: 在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。</i></p>
3	OC1PE	<p>输出比较 1 预装载使能</p> <p>0: 禁止 TIMERx_CCR1 寄存器的预装载功能，可随时写 TIMERx_CCR1 寄存器，且新值马上起作用；</p> <p>1: 开启 TIMERx_CCR1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMERx_CCR1 的预装载值在更新事件到来时被载入当前寄存器中。</p> <p><i>注 1: 一旦 LOCK 级别设为 3 (TIMERx_BDTR 寄存器中的 LOCK 位) 并且 CCIS = 00 (该通道配置成输出) 则该位不能被修改。</i></p> <p><i>注 2: 仅在单脉冲模式下，可以在未确认预装载寄存器情况下使用 PWM 模式，否则其动作不确定</i></p>
2	RES	保留位
1:0	CC1S[1:0]	<p>捕获/比较 1 选择。</p> <p>该位定义通道的方向 (输入/输出)，及输入脚的选择：</p>

位	标记	功能描述
		00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (TIMERx_CR1 寄存器的 TS = 2'b11)。 <i>注: CC1S 仅在通道关闭时 (TIMERx_CCER 寄存器的 CC1E = 0) 才是可写的。</i>

2.9.5.7 捕获/比较模式寄存器 2 (TIMERx_CCMR2)

偏移地址: 0x18

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	OC4M	OC4PE	RES	CC4S	RES	OC3M	OC3PE	RES	CC3S						
	[2:0]			[1:0]		[2:0]			[1:0]						
	RW	RW		RW		RW	RW		RW						

位	标记	功能描述
31:15	RES	保留位
14:12	OC4M[2:0]	输出比较 4 模式
11	OC4PE	输出比较 4 预装载使能
10	RES	保留位
9:8	CC4S[1:0]	捕获/比较 4 选择。 该位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出; 01: CC4 通道被配置为输入, IC4 映射在 TI4 上; 10: CC4 通道被配置为输入, IC4 映射在 TI3 上; 11: CC4 通道被配置为输入, IC4 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (TIMERx_CR1 寄存器的 TS = 2'b11)。 <i>注: CC4S 仅在通道关闭时 (TIMERx_CCER 寄存器的 CC4E = 0) 才是可写的</i>
7	RES	保留位
6:4	OC3M[2:0]	输出比较 3 模式
3	OC3PE	输出比较 3 预装载使能

位	标记	功能描述
2	RES	保留位
1:0	CC3S[1:0]	<p>捕获/比较 3 选择。</p> <p>这 2 位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00：CC3 通道被配置为输出；</p> <p>01：CC3 通道被配置为输入，IC3 映射在 TI3 上；</p> <p>10：CC3 通道被配置为输入，IC3 映射在 TI4 上；</p> <p>11：CC3 通道被配置为输入，IC3 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时（由 TIMERx_CR1 寄存器的 TS = 2'b11）。</p> <p><i>注：CC3S 仅在通道关闭时（TIMERx_CCER 寄存器的 CC3E = 0）才是可写的</i></p>

2.9.5.8 捕获/比较使能寄存器（TIMERx_CCER）

偏移地址：0x1C

复位值：0x0000_0000

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
CC4NP	CC4NE	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E
RW	RW	RW	RW	RW	RW	RW	RW
7	6	5	4	3	2	1	0
CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
RW	RW	RW	RW	RW	RW	RW	RW

位	标记	功能描述
31:16	Reserved	保留位
15	CC4NP	输入/捕获 4 互补输出极性。参考 CC1NP 的描述。
14	CC4NE	输入/捕获 4 互补输出使能。参考 CC1NE 的描述。
13	CC4P	输入/捕获 4 输出极性。参考 CC1P 的描述。
12	CC4E	输入/捕获 4 输出使能。参考 CC1E 的描述。
11	CC3NP	输入/捕获 3 互补输出极性。参考 CC1NP 的描述。
10	CC3NE	输入/捕获 3 互补输出使能。参考 CC1NE 的描述。
9	CC3P	输入/捕获 3 输出极性。参考 CC1P 的描述。
8	CC3E	输入/捕获 3 输出使能。参考 CC1E 的描述。

位	标记	功能描述
7	CC2NP	输入/捕获 2 互补输出极性。参考 CC1NP 的描述。
6	CC2NE	输入/捕获 2 互补输出使能。参考 CC1NE 的描述。
5	CC2P	输入/捕获 2 输出极性。参考 CC1P 的描述。
4	CC2E	输入/捕获 2 输出使能。参考 CC1E 的描述。
3	CC1NP	输入/捕获 1 互补输出极性 0: OC1N 高电平有效; 1: OC1N 低电平有效。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LCCK 位) 设为 3 或 2 且 CCIS = 00 (通道配置为输出) 则该位不能被修改。</i>
2	CC1NE	输入/捕获 1 互补输出使能 0: 关闭—OC1N 禁止输出, 因此 OC1N 的输出电平依赖于 MOE, OSSI, OSSR, OIS1, OIS1N, CC1E 位的值。 1: 开启—OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOE, OSSI, OSSR, OIS1, OIS1N, CC1E 位的值。
1	CC1P	输入/捕获 1 输出极性 CC1 通道配置为输出: 0: OC1 高电平有效; 1: OC1 低电平有效。 CC1 通道配置为输入: 该位选择是 IC1 还是 IC1 的反相信号作为触发或捕获信号。 0: 不反相—发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相。 1: 反相—捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LCCK 位) 设为 3 或 2, 则该位不能被修改</i>
0	CC1E	输入/捕获 1 输出使能 CC1 通道配置为输出: 0: 关闭—OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE, OSSI, OSSR, OIS1, OIS1N, CC1NE 位的值; 1: 开启—OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE, OSSI, OSSR, OIS1, OIS1N, CC1NE 位的值。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TIMERx_CCR1 寄存器。 0: 捕获禁止; 1: 捕获使能

表 10-1 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位

控制位					输出状态	
MOE	OSSI	OSSR	CCxE	CCxNE	OCx 输出状态	OCxN 输出状态
1	x	0	0	0	输出禁止 (与定时器断开)	输出禁止 (与定时器断开)

控制位					输出状态	
					OCx = 0, OCx_EN = 0	
		0	0	1	输出禁止 (与定时器断开) OCx = 0, OCx_EN = 0	OCxREF + 极性, OCxN = OCxREF xor CCxNP OCxN_EN = 1
		0	1	0	OCxREF + 极性, OCx = OCxREF xor CCxP OCx_EN = 1	输出禁止 (与定时器断开) OCxN = 0, OCxN_EN = 0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN = 1	OCxREF 反相 + 极性 + 死区 OCxN_EN = 1
		1	0	0	输出禁止 (与定时器断开) OCx = CCxP, OCx_EN = 0	输出禁止 (与定时器断开) OCxN = CCxNP, OCxN_EN = 0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx = CCxP, OCx_EN = 1	OCxREF + 极性, OCxN = OCxREF xor CCxNP OCxN_EN = 1
		1	1	0	OCxREF + 极性, OCx = OCxREF xor CCxP OCx_EN = 1	关闭状态 (输出使能且为无效电平) OCxN = CCxNP, OCxN_EN = 1
		1	1	1	OCxREF + 极性 + 死区 OCx_EN = 1	OCxREF 反相 + 极性 + 死区 OCxN_EN = 1
0	0	x	0	0	输出禁止 (与定时器断开)	异步地: OCx = CCxP, OCx_EN = 0, OCxN = CCxNP, OCxN_EN = 0; 若存在时钟: 经过一个死区时间后 OCx = OISx, OCxN = OISxN, 假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0		
	1		0	1	关闭状态 (输出使能且为无效电平)	
	1		1	0	异步地: OCx = CCxP, OCx_EN = 1, OCxN = CCxNP, OCxN_EN = 1; 若存在时钟: 经过一个死区时间后 OCx = OISx, OCxN = OISxN, 假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平	
	1		1	1		

2.9.5.9 计数寄存器 (TIMERx_CNT)

偏移地址: 0x20

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															

位	标记	功能描述
31:16	Reserved	保留位
15:0	CNT	计数器的值

2.9.5.10 分频寄存器 (TIMERx_PSC)

偏移地址: 0x24

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
RW															

位	标记	功能描述
31:16	Reserved	保留位
15:0	PSC	预分频器的值 计数器的时钟频率 (CK_CNT) 等于 $f_{CK_PSC} / (PSC[15:0] + 1)$ 。 PSC 包含了当更新事件产生时装入当前预分频器寄存器的值; 更新事件包括计数器被 TIM_EGR 的 UG 位清 0 或被工作在复位模式的从控制器清 0。

2.9.5.11 自动重载寄存器 (TIMERx_ARR)

偏移地址: 0x28

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
RW															

位	标记	功能描述
31:16	Reserved	保留位
15:0	ARR	自动重载的值 ARR 包含了将要装载入实际的自动重载寄存器的值。 详细参考 9.4.1: 时基单元有关 ARR 的更新和动作。 当自动重载的值为空时, 计数器不工作。

2.9.5.12 重复计数寄存器 (TIMERx_RCR)

偏移地址: 0x2C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								REP							
Reserved								RW							

位	标记	功能描述
31:8	Reserved	保留位
7:0	REP	周期计数器的值 开启了预装载功能后, 这些位允许用户设置比较寄存器的更新速率 (即周期性地从预装载寄存器传输到当前寄存器); 如允许产生更新中断, 则会同时影响产生更新中断的速率。 每次向下计数器 REP_CNT 达到 0, 会产生一个更新事件并且计数器 REP_CNT 重新从 REP 值开始计数。由于 REP_CNT 只有在周期更新事件 UEV 发生时才重载 REP 值, 因此对 TIMERx_RCR 寄存器写入的新值只在下次周期更新事件发生时才起作用。

		这意味着在 PWM 模式中，(REP+1) 对应着： <ul style="list-style-type: none"> — 在边沿对齐模式下，PWM 周期的数目； — 在中心对称模式下，PWM 半周期的数目。
--	--	--

2.9.5.13 捕获/比较寄存器 1 (TIMERx_CCR1)

偏移地址：0x30

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
RW															

位	标记	功能描述
31:16	Reserved	保留位
15:0	CCR1	捕获/比较 1 的值 若 CC1 通道配置为输出： CCR1 包含了装入当前捕获/比较 1 寄存器的值（预装载值）。 如果在 TIMERx_CCMR1 寄存器（OC1PE 位）中未选择预装载特性，其始终装入当前寄存器中。否则，只有当更新事件发生时，此预装载值才装入当前捕获/比较 1 寄存器中。当前捕获/比较寄存器包含了与计数器 TIMERx_CNT 比较的值，并且在 OC1 端口上输出信号。 若 CC1S 通道配置为输入： CCR1 包含了由上一次输入捕获 1 事件（IC1）传输的计数器值。

2.9.5.14 捕获/比较寄存器 2 (TIMERx_CCR2)

偏移地址：0x34

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
RW															

位	标记	功能描述
15:0	CCR2	<p>捕获/比较 2 的值</p> <p>若 CC2 通道配置为输出： CCR2 包含了装入当前捕获/比较 2 寄存器的值（预装载值）。 如果在 TIMERx_CCMR2 寄存器（OC2PE 位）中未选择预装载特性，其始终装入当前寄存器中。否则，只有当更新事件发生时，此预装载值才装入当前捕获/比较 2 寄存器中。当前捕获/比较寄存器包含了与计数器 TIMERx_CNT 比较的值，并且在 OC 端口上输出信号。</p> <p>若 CC2S 通道配置为输入： CCR2 包含了由上一次输入捕获 2 事件（IC2）传输的计数器值。</p>

2.9.5.15 捕获/比较寄存器 3（TIMERx_CCR3）

偏移地址：0x38

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
RW															

位	标记	功能描述
15:0	CCR3	<p>捕获/比较 3 的值</p> <p>若 CC3 通道配置为输出： CCR3 包含了装入当前捕获/比较 3 寄存器的值（预装载值）。 如果在 TIMERx_CCMR3 寄存器（OC3PE 位）中未选择预装载特性，其始终装入当前寄存器中。否则，只有当更新事件发生时，此预装载值才装入当前捕获/比较 3 寄存器中。当前捕获/比较寄存器包含了与计数器 TIMERx_CNT 比较的值，并且在 OC 端口上输出信号。</p> <p>若 CC3S 通道配置为输入： CCR3 包含了由上一次输入捕获 3 事件（IC3）传输的计数器值。</p>

2.9.5.16 捕获/比较寄存器 4（TIMERx_CCR4）

偏移地址：0x3C

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
RW															

位	标记	功能描述
15:0	CCR4	捕获/比较 4 的值 若 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值（预装载值）。 如果在 <code>TIMERx_CCMR4</code> 寄存器（OC4PE 位）中未选择预装载特性，其始终装入当前寄存器中。否则，只有当更新事件发生时，此预装载值才装入当前捕获/比较 3 寄存器中。当前捕获/比较寄存器包含了与计数器 <code>TIMERx_CNT</code> 比较的值，并且在 OC 端口上输出信号。 若 CC4 通道配置为输入： CCR4 包含了由上一次输入捕获 4 事件（IC4）传输的计数值。

2.9.5.17 刹车和死区寄存器（`TIMERx_BDTR`）

偏移地址：0x40

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK	DTG								
RW	RW	RW	RW	RW	RW	RW	RW								

位	标记	功能描述
31:16	Reserved	保留位
15	MOE	主输出使能 一旦刹车输入有效，该位被硬件异步清 0。根据 AOE 位的值，可由软件清 0 或自动置 1。它仅对配置为输出通道有效。 0：禁止 OC 和 OCN 输出或强制为空闲状态； 1：如果设置了相应的使能位（ <code>TIMERx_CCER</code> 寄存器的 <code>CCxE</code> 、 <code>CCxNE</code> 位），则开启 OC 和 OCN 输出

位	标记	功能描述
14	AOE	自动输出使能 0: MOE 只能被软件置 1; 1: MOE 能被软件置 1 或在下一个更新事件自动置 1(如果刹车输入无效)。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。</i>
13	BKP	刹车输入极性 0: 刹车输入低电平有效; 1: 刹车输入高电平有效。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。</i>
12	BKE	刹车功能使能 0: 禁止刹车输入 (BRK 及 BRK_ACTH) ; 1: 开启刹车输入 (BRK 及 BRK_ACTH) 。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。</i>
11	OSSR	运行模式下“关闭状态”选择 (该位用于当 MOE = 1 时配置为输出模式且具有互补输出的通道。没有互补输出的定时器中不存在 OSSR 位。) 有关详细参考 OC/OCN 使能的详细说明 (9.5.8 节, 捕获/比较使能寄存器 (TIMERx_CCER))。 0: 当定时器不工作时, 禁止 OCx/OCxN 输出 (OCx/OCxN 使能输出信号等于 0) ; 1: 当定时器不工作时, 一旦 CCxE = 1 或 CCxNE = 1, 开启 OCx/OCxN 输出并输出无效电平。OCx/OCxN 使能输出信号等于 1。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 2, 则该位不能被修改。</i>
10	OSSI	空闲模式下“态”选择 该位用于当 MOE = 0 且通道设为输出时。 参考 OCx/OCxN 使能的详细说明 (12.5.9 节, 捕获/比较使能寄存器 (TIMERx_CCER))。 0: 当定时器不工作时, 禁止 OCx/OCxN 输出 (OCx/OCxN 使能输出信号等于 0) ; 1: 当定时器不工作时, 一旦 CCxE = 1 或 CCxNE = 1, OCx/OCxN 首先输出其空闲电平。OC/OCN 使能输出信号等于 1。 <i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 2, 则该位不能被修改。</i>
9:8	LOCK	锁定设置 该位为防止软件错误而提供写保护。 00: 锁定关闭, 寄存器无写保护;

位	标记	功能描述
		<p>01: 锁定级别 1, 不能写入 TIMERx_BDTR 寄存器的 DTG/BKE/BKP/AOE 位、TIMERx_CR2 寄存器的 OISx/OISxN 位;</p> <p>10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位 (一旦相关通道通过 CCxS 位设为输出, TIMERx_CCER 寄存器的 CCxP/CCNxP 位) 以及 OSSR/OSSI 位;</p> <p>11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位 (一旦相关通道通过 CCxS 位设为输出, TIMERx_CCMRx 寄存器的 OCxM/OCxPE 位)。</p> <p><i>注: 在系统复位后, 只能写一次 LOCK 位, 一旦写入 TIMERx_BDTR 寄存器, 则其内容冻结直至复位。</i></p>
7:0	DTG	<p>死区发生器设置</p> <p>这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间:</p> <p>$DTG[7:5] = 0xx \Rightarrow DT = DTG[7:0] \times T_{dtg}, T_{dtg} = T_{DTS};$</p> <p>$DTG[7:5] = 10x \Rightarrow DT = (64+DTG[5:0]) \times T_{dtg}, T_{dtg} = 2 \times T_{DTS};$</p> <p>$DTG[7:5] = 110 \Rightarrow DT = (32+DTG[4:0]) \times T_{dtg}, T_{dtg} = 8 \times T_{DTS};$</p> <p>$DTG[7:5] = 111 \Rightarrow DT = (32+DTG[4:0]) \times T_{dtg}, T_{dtg} = 16 \times T_{DTS};$</p> <p>例: 若 $T_{DTS} = 125ns$ (8MHZ), 可能的死区时间为:</p> <p>0 到 15875ns, 若步长时间为 125ns;</p> <p>16us 到 31750ns, 若步长时间为 250ns;</p> <p>32us 到 63us, 若步长时间为 1us;</p> <p>64us 到 126us, 若步长时间为 2us。</p> <p><i>注: 一旦 LOCK 级别 (TIMERx_BDTR 寄存器中的 LOCK 位) 设为 1、2 或 3, 则这些位不能被修改。</i></p>

2.9.5.18 Timer 时钟使能寄存器 (TIMER_CLKEN)

绝对地址: 0x3000_0100

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						timer2_clken_reg		Reserved						timer1_clken_reg	
						RW								RW	

位	标记	功能描述
31:9	Reserved	保留位
8	timer2_clken_reg	timer2 时钟的控制位

		0: 关闭 timer2 的时钟, 1: 开启 timer2 的时钟
7:1	Reserved	保留位
0	timer1_clken_reg	timer1 时钟的控制位 0: 关闭 timer1 的时钟, 1: 开启 timer1 的时钟

2.9.6 TIM1&TIM2 寄存器映射

TIMER1 寄存器列表

基地址: 0x3000_0018

寄存器	偏移地址	描述
TIMER1_CR1	0x00	控制寄存器
TIMER1_ICF	0x04	滤波寄存器
TIMER1_IER	0x08	中断使能寄存器
TIMER1_SR	0x0C	状态寄存器
TIMER1_EGR	0x10	事件产生寄存器
TIMER1_CCMR1	0x14	捕获/比较模式寄存器 1
TIMER1_CCMR2	0x18	捕获/比较模式寄存器 2
TIMER1_CCER	0x1C	捕获/比较使能寄存器
TIMER1_CNT	0x20	计数寄存器
TIMER1_PSC	0x24	预分频寄存器
TIMER1_ARR	0x28	自动重装载寄存器
TIMER1_RCR	0x2C	重复向下计数器寄存器
TIMER1_CCR1	0x30	捕获/比较寄存器 1
TIMER1_CCR2	0x34	捕获/比较寄存器 2
TIMER1_CCR3	0x38	捕获/比较寄存器 3
TIMER1_CCR4	0x3C	捕获/比较寄存器 4
TIMER1_BDTR	0x40	刹车/死区寄存器

TIM2 寄存器列表

基地址: 0x3000_0098

寄存器	偏移地址	描述
TIMER2_CR1	0x00	控制寄存器
TIMER2_ICF	0x04	滤波寄存器
TIMER2_IER	0x08	中断使能寄存器
TIMER2_SR	0x0C	状态寄存器
TIMER2_EGR	0x10	事件产生寄存器
TIMER2_CCMR1	0x14	捕获/比较模式寄存器 1

寄存器	偏移地址	描述
TIMER2_CCMR2	0x18	捕获/比较模式寄存器 2
TIMER2_CCER	0x1C	捕获/比较使能寄存器
TIMER2_CNT	0x20	计数寄存器
TIMER2_PSC	0x24	预分频寄存器
TIMER2_ARR	0x28	自动重装载寄存器
TIMER2_RCR	0x2C	重复向下计数器寄存器
TIMER2_CCR1	0x30	捕获/比较寄存器 1
TIMER2_CCR2	0x34	捕获/比较寄存器 2
TIMER2_CCR3	0x38	捕获/比较寄存器 3
TIMER2_CCR4	0x3C	捕获/比较寄存器 4
TIMER2_BDTR	0x40	刹车/死区寄存器
TIMER2_CLKEN	0x68	时钟使能寄存器

2.10 自动唤醒 (WUP)

2.10.1 简介

WUP 模块是唤醒模块，每个 wup_clk 时钟计数一次，当 wupdata=0 不工作，无 irq 产生，wupdata 不等于 0 每隔 wupdata+1 个时钟周期产生一个 irq，计数器重新装载 wupdata 的值。可以用于低功耗模式的唤醒等。

wup_clk 时钟源可选，当 wup_clk_sel 为 0 时，wup_clk 为内部低速振荡器 RCL；当 wup_clk_sel 为 1 时，wup_clk 为外部低速振荡器 XTL。当 wup_clk_sel 写为 1 时，如果外部低速振荡器 XTL 已经开启且稳定，那么 wup_clk 会立刻切换为 XTL；当 XTL 未提前开启时，则 XTL 会开启并且等待 XTL 稳定后，wup_clk 切换为 XTL。当 XTL 为 WUP 提供时钟时，XTL 无法被关闭。

wup_clk_sel 描述见章节 2.4.3.6。

2.10.2 寄存器描述

2.10.2.1 wup 数据寄存器 (wup_data)

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wup_data															
RW															

位	标记	功能描述
31:16	Reserved	保留位
15:0	wup_data	唤醒数据寄存器，wup_data 实际上是一个向下计数器

wup 模块是唤醒模块，实质是一个向下计数器。时钟来源 RCL 或 XTL，每个时钟计数一次，当 wup_data=0 不计数，否则每隔 (wup_data+1) 个时钟周期产生一个中断。当使能了中断后，可以用于 pmu 的唤醒。来自 pmu 的复位不会使 irq 复位。

2.10.2.2 wup 中断使能寄存器 (wup_irq_en)

偏移地址：0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															wup_irq_en
Reserved															RW

位	标记	功能描述
31:1	Reserved	保留位
0	wup_irq_en	wup 中断使能位, 1: 使能, 0: 不使能。

2.10.2.3 wup 中断寄存器 (wup_irq)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															wup_irq
Reserved															RW

位	标记	功能描述
31:1	Reserved	保留位
0	wup_irq	中断标志位, 1: 产生中断, 0: 没有中断, 写 1 清除中断。 当使能了中断后可以用于低功耗模式的唤醒, 来自低功耗模式的复位不会使 irq 复位

2.10.3 寄存器映射

WUP 寄存器列表

基地址: 0x3000_0610

寄存器	偏移地址	描述
wup_data	0x00	WUP 数据寄存器

寄存器	偏移地址	描述
wup_irq_en	0x04	WUP 中断使能寄存器
wup_irq	0x08	WUP 中断寄存器

2.11 模拟/数字转换(ADC)

2.11.1 简介

MCU 模块内置了 1 个快速、高精度 ADC，内部集成高精度 1.2 V 基准源，支持 13/14/15/16 位分辨率，在分辨率和转换速度之间得到平衡。ADC 工作时，VDD_MCU 电压要求大于 2.5 V。

注： 1) 分辨率出厂初始化，用户不可更改；

2.11.2 功能描述

2.11.2.1 主要特征

- 分辨率为 13 位，需 29 个 ADC 时钟周期完成一次转换
- 分辨率为 14 位，需 45 个 ADC 时钟周期完成一次转换
- 分辨率为 15 位，需 77 个 ADC 时钟周期完成一次转换
- 分辨率为 16 位，需 141 个 ADC 时钟周期完成一次转换
- ADC 转换完成之后自动产生中断
- ADC 采样时钟推荐 4 MHz，最高不超过 8 MHz
- 支持单次模式和连续模式
- 连续模式下转换间隔可编程
- 支持软件触发和 PA14 (ADC_TRI) 触发。PA14 不能用作 ADC 测量通道。
- 可测量电压范围为 0~4.8V，待测量电压不得高于 VDD_MCU 电压。
- 支持外部基准
- 10 个测量通道可选，其中 8 个通道的测量源来自芯片外部输入，1 个通道用于测量芯片 VDD_MCU，1 个通道用于测量芯片温度。
- 支持待测量电压乘以 1/4

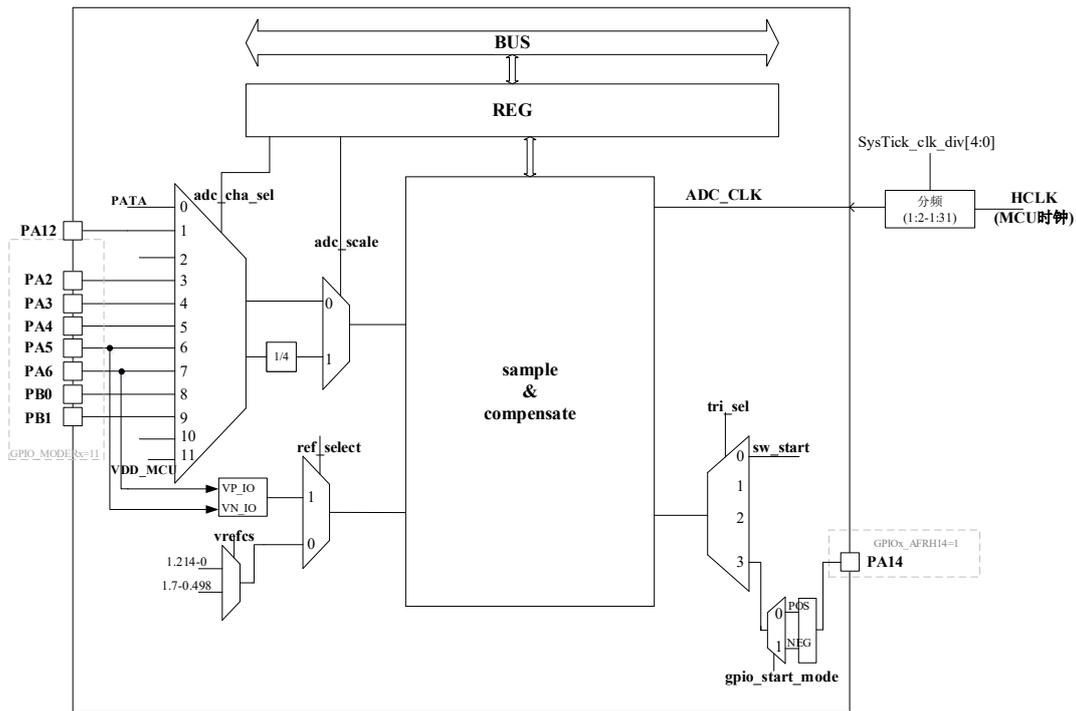


图 2-42 ADC 简图

2.11.2.2 转换时序

adc_on置1后ADC开启，可以开始转换；在ADC在进入转换前，需要一段稳定时间 t_{STAB} 。当ADC进入转换状态时，adc_state位将置位；通过sw_start或ADC_TRI (PA14) 将触发ADC进入转换。转换时间（用户程序设定的采样时间）结束后，eoc中断标志位拉高，ADC的转换结果将存储在ADC_DR寄存器中。注意信号从总线时钟域传输到ADCCLK时钟域时需要重新同步，从而产生延时。

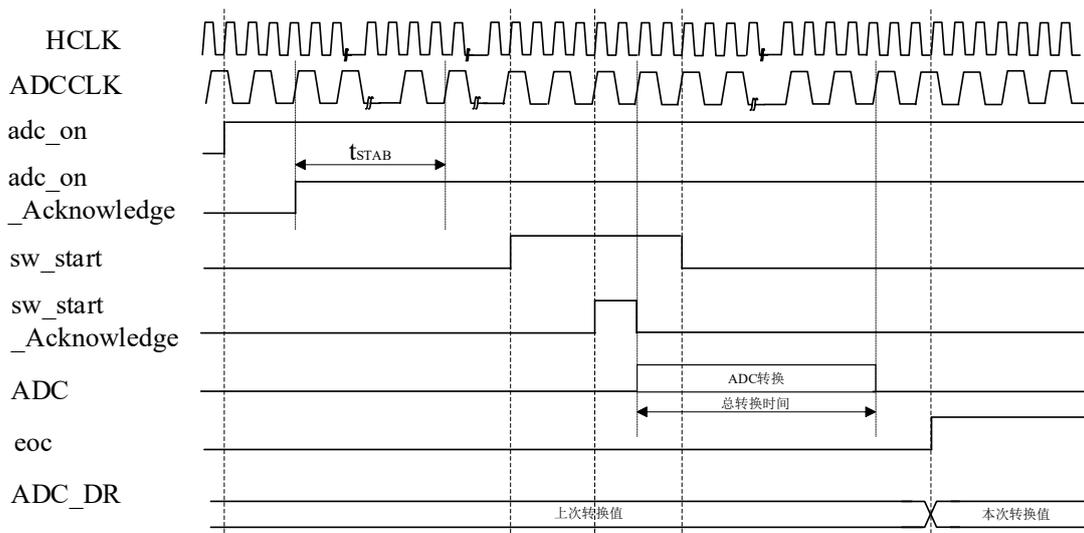


图 2-43 ADC 时序图

2.11.2.3 芯片温度测量

芯片内部集成了温度传感器，温度传感器的输出电压会随着芯片温度的改变而变化。当 ADC 模块的测量通道选择温度传感器(ADC_SEL[adc_cha_sel]=0x0)的输出电压时，即可测量芯片温度。温度测量范围为-40 到 105°C。

ADC 为 16 位精度：

$$\text{芯片温度} = 0.0117 * \text{ADC_DR} - 254.5881, \text{ 测量误差为 } \pm 2^{\circ}\text{C}.$$

ADC 为 15 位精度：

$$\text{芯片温度} = 0.0234 * \text{ADC_DR} - 254.9258, \text{ 测量误差为 } \pm 3^{\circ}\text{C}.$$

用户可以自己进行校准及温度曲线拟合以达到更高的精度。

2.11.3 寄存器描述

2.11.3.1 ADC 状态寄存器 (ADC_ISR)

基地址：0x3000_0280

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													eoc	adc_state	-
Reserved													RC	R	-

位	标记	功能描述
31:3	Reserved	保留位
2	eoc	ADC 转换工作是否完成的标志位 0: 转换尚未完成; 1: 转换采集已完成。 对其写 0 清除中断，读数据寄存器也可清除中断
1	adc_state	ADC 转换的工作状态标志位 1: ADC 正在转换; 0: ADC 处于空闲状态
0	-	-

2.11.3.2 ADC 中断控制寄存器 (ADC_IER)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													eocie	Reserved	
Reserved													RW		

位	标记	功能描述
31:3	Reserved	保留位
2	eocie	当前 ADC 的中断使能位 0: ADC 不会产生中断传给 CLIC; 1: ADC 会在 EOC 信号被拉高的时候产生中断传给 CLIC
1:0	Reserved	保留位

2.11.3.3 ADC 控制寄存器 (ADC_CR)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													sw_start	Reserved	
Reserved													RW		

位	标记	功能描述
31:1	Reserved	保留位
0	sw_start	ADC 软件触发控制位 单次模式: 写 1 开始转换, 1 次转换完成后自动清零同时产生中断和更新 ADC_DR, 写 0 提前结束。 连续模式: 写 1 开始转换, 转换完成后产生中断和更新 ADC_DR 并开始下一次转换, 写 0 结束转换。

2.11.3.4 ADC 通道选择寄存器 (ADC_SEL)

偏移地址: 0x0C

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												adc_cha_sel			
Reserved												RW			

位	标记	功能描述
31:4	Reserved	保留位
3:0	adc_cha_sel	通道选择 下列情况 GPIO 需配置模拟模式 (GPIO_MODEx = 2'b11) 0000: 内部温度传感器输出电压, 可用于芯片温度测量, 见章节 12.2.3 ; 0001: 外部通道 PA12; 0010: 保留; 0011: 外部通道 PA2; 0100: 外部通道 PA3; 0101: 外部通道 PA4; 0110: 外部通道 PA5; 0111: 外部通道 PA6; 1000: 外部通道 PB0; 1001: 外部通道 PB1; 1010: 保留; 1011: VDD_MCU。此通道应设置 1/4 增益。 其他: 保留。

2.11.3.5 ADC 数据寄存器 (ADC_DR)

偏移地址: 0x10

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	data															
	R															

位	标记	功能描述
31:15	Reserved	保留位
14:0	data	ADC 采集到的数据，当 eoc 信号被拉高的时候，软件可以从这个寄存器中读取 ADC_CFG[adc_bits_ctrl]控制相应分辨率的数据。

2.11.3.6 ADC 通用控制寄存器 (ADC_CCR)

偏移地址：0x14

复位值：0x0000_0080

	31	30	29	28	27	26	25		24	23	22	
Reserved												
	21	20	19	18	17	16	15		14	13	12	
Reserved	adc_scale		pga_gain				Reserved			vrefcs	ref_select	
	RW		RW							RW	RW	
	10	9	8	7	6	5	4		3	2	1	0
del			Reserved				gpio_start_mode	tri_sel	adc_mode	adc_on		
RW							RW	RW	RW	RW		

位	标记	功能描述
31:22	Reserved	保留位
21:20	Reserved	必须为 00
19	adc_scale	选择 ADC 内部通道增益 0: 选择 1; 1: 选择 1/4, 输入电压乘以 1/4, 使检测电压在量程范围内
18:14	Reserved	保留位
13	vrefcs	内部基准电压来源选择位, 必须写 0; 基准大小为 1.2V, 测量范围为 0-1.2V (超过 1.2V, 使用 1/4 增益, 即 adc_scale=1)。
12	ref_select	选择内部或者外部基准 1: 外部基准; 0: 内部基准

位	标记	功能描述
11:8	delay_sel	ADC 连续转换模式下相邻两次转换之间的延迟 0000: 不延迟; 0001: 2 ⁰ 个 ADC clock; 0010: 2 ¹ 个 ADC clock; ... 1111: 2 ⁴ 个 ADC clock
7:5	-	保留
4	gpio_start_mode	GPIO 触发模式选择 0: PA14 上升沿触发 单次模式: 上升沿触发一次; 连续模式: 上升沿触发, 下降沿结束采样。 1: PA14 下降沿触发 单次模式: 下降沿触发一次; 连续模式: 下降沿触发, 上升沿结束采样
3:2	tri_sel	ADC 触发信号来源选择 00: ADC_CR[0]软件触发控制 ADC 转换; 01/10: 保留; 11: GPIO 触发 ADC 转换
1	adc_mode	ADC 采样模式 0: 单次模式 1: 连续模式
0	adc_on	ADC 电源开关 0: 关闭 ADC 1: 开启 ADC

2.11.3.7 ADC 分辨率寄存器 (ADC_CFG)

地址: 0x3000_0410

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
adc_bits_ctrl		Reserved										adc_data			
R												RW			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
adc_data															
RW															

位	标记	功能描述
---	----	------

31:30	adc_bits_ctrl	ADC 分辨率控制位 11: ADC 分辨率 16 位, 数据 15 位; 10: ADC 分辨率 15 位, 数据 14 位; 01: ADC 分辨率 14 位, 数据 13 位; 00: ADC 分辨率 13 位, 数据 12 位
29:21	Reserved	保留位
20:0	adc_data	ADC 数据, 以补码形式存放

2.11.4 寄存器映射

ADC 寄存器列表

基地址: 0x3000_0280

寄存器	偏移地址	描述
ADC_ISR	0x00	ADC 状态寄存器
ADC_IER	0x04	ADC 中断使能寄存器
ADC_CR	0x08	ADC 控制寄存器
ADC_SEL	0x0C	ADC 通道选择寄存器
ADC_DR	0x10	ADC 数据寄存器
ADC_CCR	0x14	ADC 通用控制寄存器
ADC_CFG	0x3000_0410	ADC 分辨率寄存器

2.12 I2C 接口

2.12.1 介绍

I2C 总线接口是单片机与串行 I2C 总线之间的接口。它提供主设备功能，并控制所有 I2C 总线特定的排序、协议、仲裁和定时。它支持标准模式（达到 100 kHz）和快速模式（达到 400 kHz）。

2.12.1.1 主要特点

- 并行总线/I2C 总线协议转换器
- I2C 主设备功能
 - 产生时钟
 - 产生起始和停止信号
- 产生和检测 7 位地址和广播呼叫
- 支持不同的通讯速度
 - 标准速度(100KHz)
 - 快速(400KHz)
- 状态标志：
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - I2C 总线忙标志
- 错误标志
 - 主模式时的仲裁丢失
 - 地址/数据传输后的应答(ACK)错误
 - 检测到起始和停止错位
- 2 个中断向量
 - 1 个中断用于地址/数据通讯成功
 - 1 个中断用于出错

2.12.2 功能描述

主模式时，I2C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始和停止条件结束。只有在总线处于“非忙”状态时，数据传输才能开始。在数据传输期间，

只要时钟线为高电平，数据线都必须保持稳定，否则数据线上的任何变化都被当作“启动”或“停止”信号。图 2-44 是被定义的总线状态。

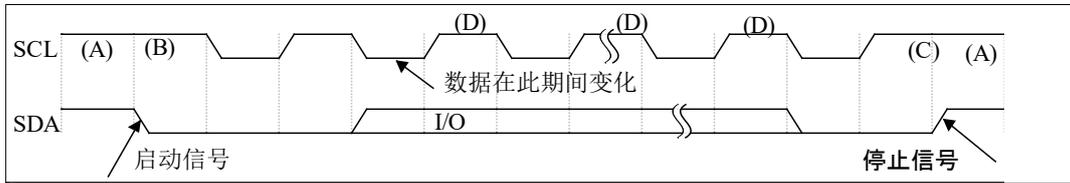


图 2-44 I2C 二线制串行总线

I2C 主要有以下 A, B, C, D 四段的工作状态:

- (1) 总线非忙状态 (A 段): 该段内的数据线 (SDA) 和时钟线 (SCL) 都保持高电平。
- (2) 启动数据传输 (B 段): 当时钟线 (SCL) 为高电平状态时, 数据线 (SDA) 由高电平变为低电平的下降沿被认为是“启动”信号。只有出现“启动”信号后, 其它的命令才有效。
- (3) 停止数据传输 (C 段): 当时钟线 (SCL) 为高电平状态时, 数据线 (SDA) 由低电平变为高电平的上升沿被认为是“停止”信号。随着“停止”信号的出现, 所有的外部操作都结束。
- (4) 数据有效 (D 段): 在出现“启动”信号后, 在时钟线 (SCL) 为高电平状态时, 数据线是稳定的, 这时数据线的状态就是要传送的数据。数据线 (SDA) 上数据的改变必须在时钟线为低电平期间完成, 每位数据占用一个时钟脉冲。每个数据传输都是由“启动”信号开始, 结束于“停止”信号。
- (5) 应答信号: 在接收到一个字节的的数据后, 通常需要发出一个应答信号。在发出一个字节的的数据后, 通常需要接收一个应答信号。发送方在应答时钟脉冲期间释放 SDA 线, 接收方拉低 SDA 线, 并且在 SCL 的高脉冲期间保持为 0, 如图 2-45 所示。I2C 读写控制器必须有产生一个与这个应答位相联系的额外的时钟脉冲。在读操作中, 读写控制器对 I2C 完成的最后一个字节不产生应答位, 但是会有一个结束信号。

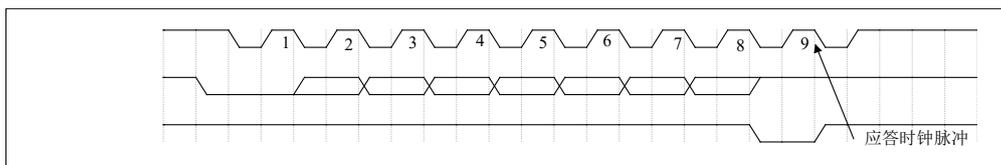


图 2-45 I2C 总线上应答时序图

写操作配置步骤:

- 1) 通过 fm 位, 定义数据传输的频率。
- 2) 通过 I2C_CTRL[i2c_clkdiv]选择是否分频, I2C_CTRL[i2c_saddr]定义从机地址。
- 3) I2C_CTRL[i2c_r_wn] = 0 被定义为写操作; I2C_CTRL[i2c_maddr]定义存储单元地址, I2C_CTRL[i2c_data]定义要发送的数据。

发送方: 满足启动条件后, 从 SDA 线先后串行写入 I2C_CTRL[i2c_saddr], I2C_CTRL[i2c_r_wn]=0 写操作, 应答, I2C_CTRL[i2c_maddr], 应答和 I2C_CTRL[i2c_data]、应答, 最后是停止信号。参考图 2-46 I2C 写数据时序图。

每次应答只有收到接收方正确回复应答信号才会继续往下执行, 否则一直在等待接收方的应答。

数据发送完成后 i2c_busy 标志将被置位, 如果设置 I2C_CTRL 寄存器中的 i2c_ready_en 位, 将产生中断。

读操作配置步骤:

- 1) 通过 fm 位, 定义数据传输的频率。
- 2) 通过 I2C_CTRL[i2c_clkdiv] 选择是否分频, I2C_CTRL[i2c_saddr] 定义从机地址。
- 3) I2C_DATA[i2c_r_wn]=0 被定义为写操作, I2C_DATA[i2c_r_wn]=1 被定义为读操作; I2C_DATA[i2c_maddr]定义存储单元地址, 读取 I2C_DATA[i2c_data]数据。

满足启动条件后, 从 SDA 线先后串行写入 I2C_CTRL[i2c_saddr], I2C_DATA[i2c_r_wn] = 0 写操作, 应答信号, I2C_DATA[i2c_maddr], 应答。重新启动, I2C_CTRL[i2c_saddr], I2C_DATA[i2c_r_wn] = 1 读操作, 应答。接收方回复读取的数据 I2C_DATA[i2c_data], 非应答, 最后是停止信号。参考图 2-47 和图 2-48。

数据接收完成后 i2c_busy 标志将被置位, 如果设置 I2C_CTRL 寄存器中的 i2c_ready_en 位, 将产生中断。读 I2C_DATA 寄存器时, I2C 设备返回接收到的数据。读 I2C_DATA 寄存器将清除 i2c_ready 位。

在数据传输过程中, 若没有应答或产生其他错误, i2c_error 标志将被置位, 如果设置 I2C_CTRL 寄存器中的 i2c_error_en 位, 将产生中断。图 2-45 是 I2C 应答时序图, 图 2-46 和图 2-47 分别是 I2C 的写数据和读指定地址数据的时序图。

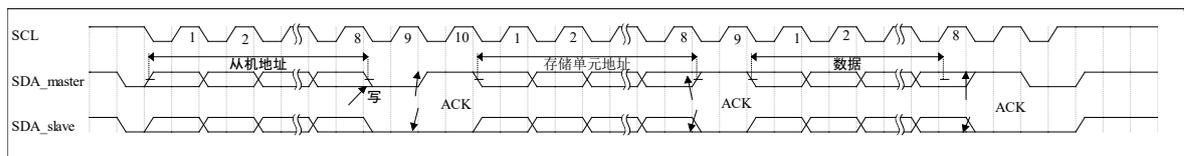


图 2-46 I2C 写数据时序图

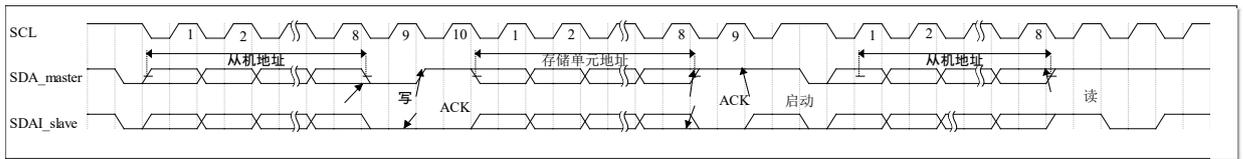


图 2-47 I2C 读指定地址数据的时序图 1

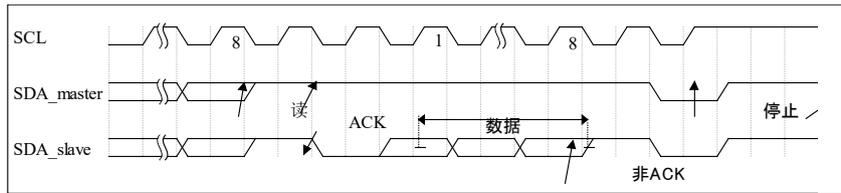


图 2-48 I2C 读指定地址数据的时序图 2（时序接着上图）

2.12.3 I2C 寄存器描述

基址：0x3000_0004

2.12.3.1 状态寄存器（I2C_STATUS）

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											i2c_error	Reserved		i2c_ready	
											RW			RW	

位	标记	功能描述
16:5	Reserved	保留位
4	i2c_error	错误标志位；1：i2c 发生错误，0：正常工作
3:1	Reserved	保留位
0	i2c_ready	中断标志位；1：操作完成，0：正在进行操作

2.12.3.2 控制寄存器（I2C_CTRL）

偏移地址：0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
Reserved		i2c_clkdiv			Reserved		i2c_error_en	i2c_ready_en
		RW					RW	RW
7	6	5	4	3	2	1	0	
fm	i2c_saddr							
RW	RW							

位	标记	功能描述
31:14	Reserved	保留位
13:12	i2c_clkdiv	I2C 时钟分频选择 00: 不分频 01: 2 分频 10: 3 分频 11: 保留
11:10	Reserved	保留位
9	i2c_error_en	i2c_error 标志位使能端, 0: 关闭中断, 1: 开启中断
8	i2c_ready_en	i2c_ready 标志位使能端, 0: 关闭中断, 1: 开启中断
7	fm	速率, 0: 100KHz 1: 400KHz
6:0	i2c_saddr	从机地址 注: I2C 的从机地址与读写位 (i2c_r_wn) 分离, 用户需将原始地址左移 1 位。例如从机地址为 0x50, 写入 i2c_saddr 的地址应该为 0x50<<1, 即 0xA0。

2.12.3.3 数据寄存器 (I2C_DATA)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														i2c_r_wn	
														RW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

i2c_maddr	i2c_data
RW	RW

位	标记	功能描述
31:17	Reserved	保留位
16	i2c_r_wn	0: 写操作; 1: 读操作
15:8	i2c_maddr	存储单元地址
7:0	i2c_data	i2c 数据

2.12.4 寄存器映射

I2C 寄存器列表

基地址: 0x3000_0004

寄存器	偏移地址	描述
I2C_STATUS	0x00	I2C 状态寄存器
I2C_CTRL	0x04	I2C 控制寄存器
I2C_DATA	0x08	I2C 数据寄存器

2.13 串行外设接口（SPI）

2.13.1 简介

SPI，是 Serial Peripheral Interface 的缩写，顾名思义就是串行外围设备接口。

串行外设接口（SPI）允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口仅支持主模式，这种工作模式下，它要为外部从设备提供通信时钟（SCK）。接口还能以多主配置方式工作。

它可用于多种用途，包括可选第三根双向数据线的双线单工同步传输，或使用 CRC 校验的可靠通信。

2.13.1.1 主要特征

- 3 线全双工同步传输
- 8 位传输帧格式
- 支持多主模式
- 8 个主模式波特率预分频系数
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志

2.13.2 功能描述

通常，SPI 通过 4 个引脚和外部设备相连。

- MISO：主入/从出数据口。此脚可以被用来在从模式中发送数据，在主模式中接收数据。
- MOSI：主出/从入数据口。此脚可以用来在主模式时发送数据，在从模式时接收数据。
- SCK：SPI 主设备输出串行时钟，SPI 从设备输入串行时钟。
- CSN：由 GPIO 模拟。选择主/从模式的可选引脚。SPI 主设备和从设备分别通信时，该引脚起到依次片选各个从设备的作用，以避免发生数据线冲突。从设备的 CSN 输入可以由主设备上的标准 I/O 端口驱动。如果使能 SPI，则 SPI 工作在主设备，CSN 引脚用作输出，并输出低电平。

通信总是由主设备发起。主设备通过 MOSI 脚把数据发送给从设备，从设备通过 MISO 引脚回传数据。这意味全双工通信的数据输出和数据输入是用同一个时钟信号同步的；时钟信号由主设备通过 SCK 脚提供。

使用 SPI_CTRL 寄存器的 CPOL 和 CPHA 位，组合成四种可能的时序关系。CPOL（时钟极性）位控制在没有数据传输时时钟的空闲状态电平，此位对主模式和从模式下的设备都有效。如果 CPOL 被复位，SCK 引脚在空闲状态保持低电平；如果 CPOL 被置位，SCK 引脚在空闲状态保持高电平。

如果 CPHA（时钟相位）位被置位，SCK 时钟的第二个边沿（CPOL 位为 0 时就是下降沿，CPOL 位为 1 时就是上升沿）进行数据位的采样。数据在第一个时钟边沿被锁存。如果 CPHA 位被复位，SCK 时钟的第一边沿（CPOL 位为 0 时就是下降沿，CPOL 位为 1 时就是上升沿）进行数据位采样。数据在第二个时钟边沿被锁存。

CPOL 时钟极性和 CPHA 时钟相位的组合选择数据捕捉的时钟边沿。图 2-49 到图 2-52 显示了 SPI 传输的 4 种 CPHA 和 CPOL 位组合。

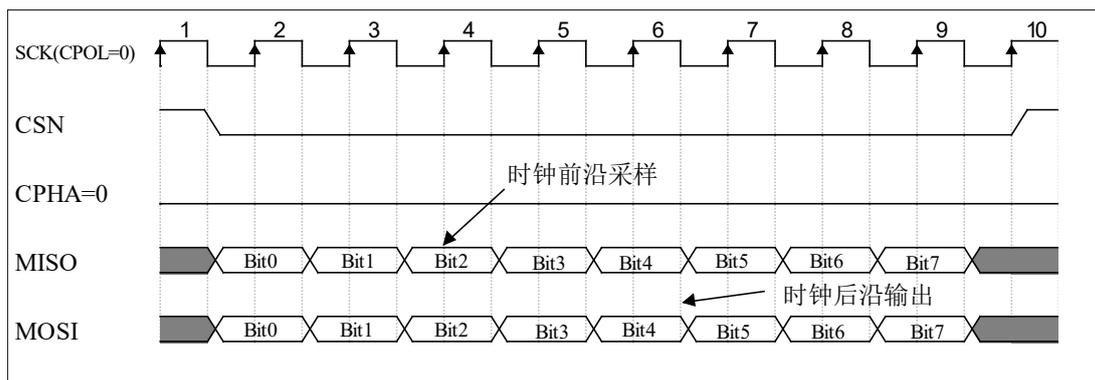


图 2-49 spi 模式 0 时序图

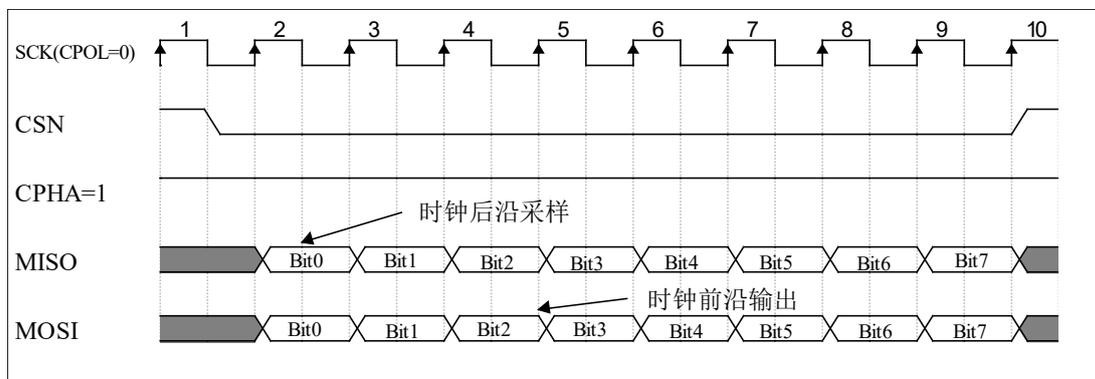


图 2-50 spi 模式 1 时序图

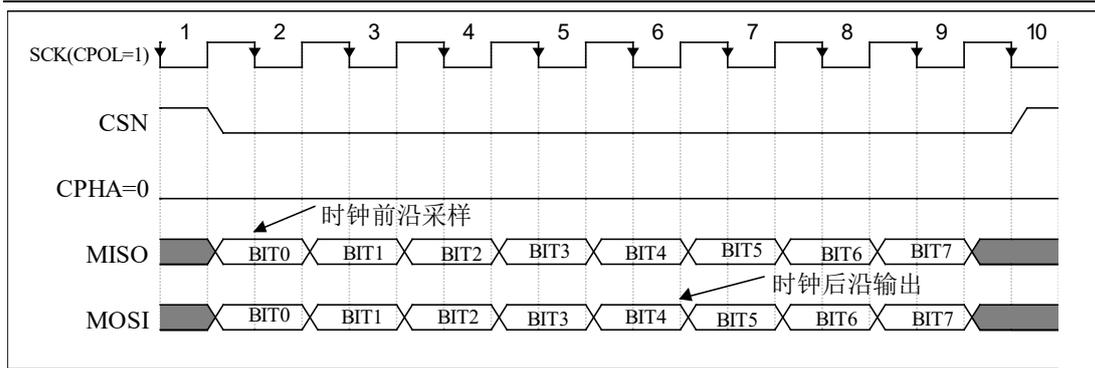


图 2-51 spi 模式 2 时序图

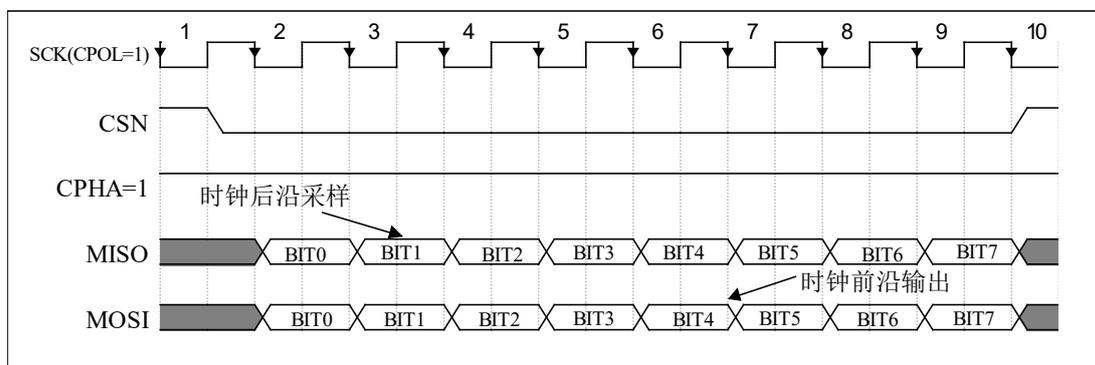


图 2-52 spi 模式 3 时序图

在主配置时，串行时钟在 SCK 脚产生。MOSI 脚是数据输出，而 MISO 脚是数据输入。

配置例程：

1. 通过 SPI_CTRL[smctrl 3:smctrl 0]定义串行时钟波特率。
2. 选择 CPOL 和 CPHA 位，定义数据传输和串行时钟间的相位关系。
3. 通过 SPI_CTRL[smctrl 5:smctrl 4]位选择是否开启 SPI。

数据发送过程：

当一字节写进发送缓冲器时，发送过程开始。

在发送第一个数据位时，数据字被并行地传入移位寄存器，而后串行地移出到 MOSI 脚上；MSB 在先。数据从发送缓冲器传输到移位寄存器时 spi_int 标志将被置位，如果设置 SPI_CTRL[spi_int_en] = 1，将产生中断。

数据接收过程：

对于接收器来说，当数据传输完成时：

- 移位寄存器里的数据传送到接收缓冲器，并且 spi_int 标志被置位。
- 如果设置 SPI_CTRL[spi_int_en] = 1，则产生中断。

读 SPI_DATA 寄存器时，SPI 设备返回接收到的数据字。

2.13.3 寄存器描述

基址：0x3000_0060

2.13.3.1 控制寄存器 (SPI_CTRL)

偏移地址：0x00

复位值：0x0000_0000

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							spi_int_en
Reserved							RW
7	6	5	4	3	2	1	0
CPOL	CPHA	smctrl5	smctrl4	smctrl3	smctrl2	smctrl1	smctrl0
RW	RW	RW	RW	RW	RW	RW	RW

位	标记	功能描述
31:9	Reserved	保留位
8	spi_int_en	spi1 中断使能。0：关闭中断，1：开启中断
7	CPOL	时钟极性 0：SCK 默认低电平 1：SCK 默认高电平
6	CPHA	时钟相位 0：时钟前沿采样，时钟后延输出 1：时钟前沿输出，时钟后延采样
5:4	smctrl[5:4]	01：使能 SPI； 00：关闭 SPI
3:0	smctrl[3:0]	从时钟到 SPI 时钟的分频数 0000：cclk/2； 0001：cclk/2； 0010：cclk/4； 0011：cclk/8； 0100：cclk/16； 0101：cclk/32； 0110：cclk/64； 其它：cclk/64

2.13.3.2 数据寄存器 (SPI_DATA)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								spi_data							
								RW							

位	标记	功能描述
31:8	Reserved	保留位
7:0	spi_data	SPI 数据写发送的数据/读接收的数据

2.13.3.3 状态寄存器 (SPI_STATUS)

偏移地址: 0x08

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										spi_int		Reserved		spi_busy	
										RW				R	

位	标记	功能描述
31:5	Reserved	保留位
4	spi_int	spi1 中断标志位, 1: spi 操作完成。写 0 清中断
3:1	Reserved	保留位
0	spi_busy	spi1 工作标志位, 1: 正在进行操作; 0: 操作完成或未操作

2.13.4 寄存器映射

SPI1 寄存器列表

基地址: 0x3000_0060

寄存器	偏移地址	寄存器描述
SPI1_CTRL	0x00	SPI1 控制寄存器
SPI1_DATA	0x04	SPI1 数据寄存器
SPI1_STATUS	0x08	SPI1 状态寄存器

2.14 实时时钟（RTC）

2.14.1 RTC 简介

实时时钟 RTC 是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 模块位于芯片一块独立供电区域，即使在 PD2 模式下也能持续工作。

处理器每次访问 RTC 模块将消耗 12 个时钟周期。

RTC 模块只能被 VDD_MCU 和 VDIG 电源产生的复位信号复位。VIDG 为 VDD_MCU 经内部电压转换器产生，详见章节 4。

RTC 具有以下特性：

- 独立供电，只要 VDD_MCU 不掉电，各种复位都不能使 RTC 复位，RTC 会一直计数；
- 支持秒中断、闹钟中断、溢出中断；
- 支持外部晶振 XTL 补偿，补偿范围为-488~487ppm。

2.14.2 功能介绍

2.14.2.1 功能框图

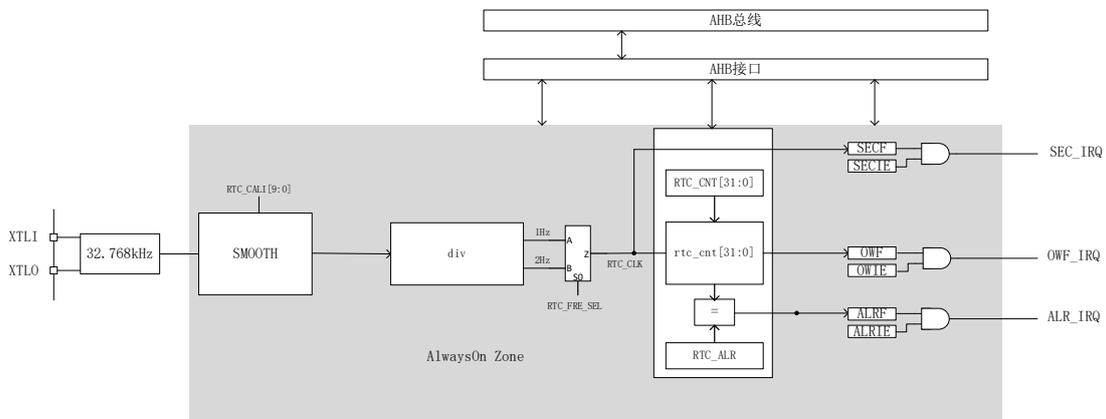


图 2-53 RTC 结构

2.14.2.2 初始化

RTC_CNT、RTC_ALR 寄存器的配置必须使用如下过程——

1. 置 RTC_ON 值为 0，进入配置模式，RSF 硬件清零，配置模式 RTC 停止运行
2. 对一个或多个 RTC 寄存器进行写操作
3. 置 RTC_ON 值为 1，退出配置模式，RTC 开始运行，在接下来的第一个 RTC_CLK 上升沿更新配置，同时 RSF 置 1，在接着第二 RTC_CLK 的上升沿开始计数。

2.14.2.3 RTC_CNT 读取

软件必须连续两次读取 RTC_CNT，如果两次一样则认为读取值有效；若两次读取结果不一致，则认为读取结果无效，需要重新读取。

2.14.2.4 标志生成

以下是一个简单的标志生成例子。

RTC_CNT 初值设为为 0xFFFF_FFFA，闹钟报警 RTC_ALR 设为 0xFFFF_FFFC，标志生成图如下。

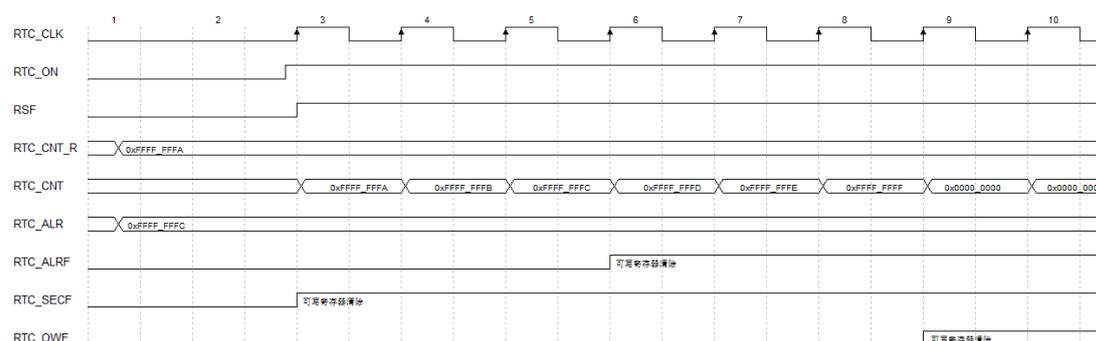


图 2-54 标志生成

2.14.2.5 RTC 时钟误差补偿

由于外部晶振存在误差，在需要得到高精度的计数结果时，需要对该误差进行补偿。

由于计数器采用32.768KHz 的时钟计数，如果需要对每秒精度进行补偿时，只能按照32.768KHz 的整数周期补偿，则每秒补偿的最小单位为 $(1/32768) * 10^6 = 30.5\text{ppm}$ ，无法满足高精度的要求。那么要在32.768KHz 的计数时钟下实现精度较高的时钟补偿时，需要在算法上做调整，将最大补偿周期扩大32 倍。则在只能补偿的最小单位为30.5ppm 的情况下，平均到每秒的补偿单位变为 $30.5\text{ppm}/32 = 0.96\text{ppm}$ 。满足了精度较高的时钟补偿要求。

补偿步骤：

1.引出测量RTC_1Hz时钟，通过测定该时钟的周期T，T要求保留小数点后7位；

2.计算补偿目标值对 $(T-1)*2^{20}$ 进行四舍五入取整得到PulseNum；

3.计算值RTC_CALI[9:0]，使其表示的值与PulseNum相等,即

$$\text{PulseNum} = R[9] * 2^9 - R[8] * 2^8 - R[7] * 2^7 - R[6] * 2^6 - R[5] * 2^5 - R[4] * 2^4 - R[3] * 2^3 - R[2] * 2^2 - R[1] * 2^1 - R[0] * 2^0$$

R[9:0]表示RTC_CALI[9:0]。

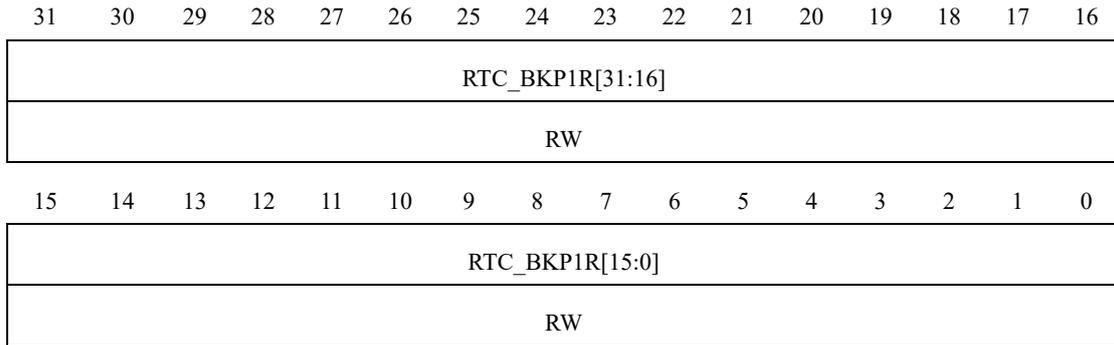
2.14.3 寄存器描述

基地址：0x2002-8000

2.14.3.1 RTC 备份寄存器 (RTC_BKP1R)

偏移地址：0x00

复位值：0x0000 0000

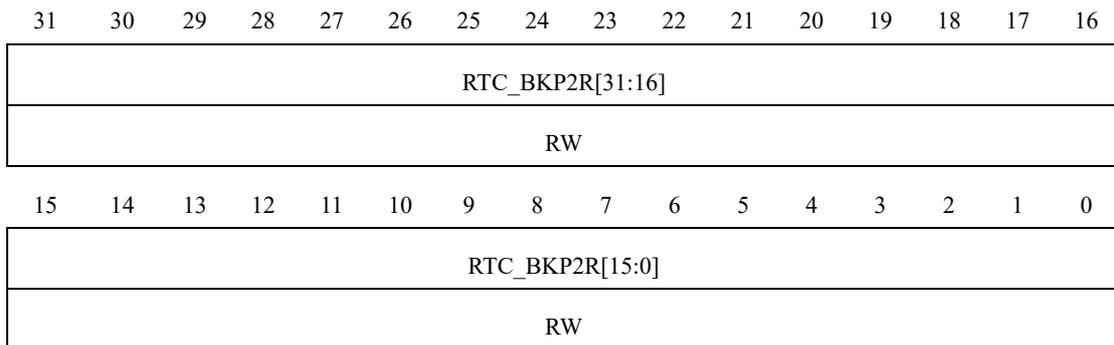


位	标记	功能描述
31:0	RTC_BKP1R	RTC 备份寄存器

2.14.3.2 RTC 备份寄存器 (RTC_BKP2R)

偏移地址：0x04

复位值：0x0000 0000



位	标记	功能描述
31:0	RTC_BKP2R	RTC 备份寄存器

2.14.3.3 RTC 配置 (RTC_CR)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RTC_FRE_SEL	RTC_ON
Reserved														RW	RW

位	标记	功能描述
31:2	Reserved	保留
1	RTC_FRE_SEL	RTC 驱动时钟频率选择 0: 1Hz 1: 2Hz
0	RTC_ON	RTC 开关 0: 关闭 RTC 1: 打开 RTC

2.14.3.4 RTC 中断使能 (RTC_IE)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													OWIE	ALRIE	SECIE
Reserved													RW	RW	RW

位	标记	功能描述
31:3	Reserved	保留
2	OWIE	溢出中断允许位 0: 屏蔽 1: 允许
1	ALRIE	闹钟中断允许位 0: 屏蔽 1: 允许

0	SECIE	秒中断允许位 0: 屏蔽 1: 允许
---	-------	--------------------------

2.14.3.5 RTC 中断标志 (RTC_F)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RSF	OWF	ALRF	SECF
												rwl	RW	RW	RW

位	标记	功能描述
31:4	Reserved	保留
3	RSF	寄存器未同步标志 当 RTC_ON 为 0 时此位置 0; RTC_ON 为 1 之后, 在下一个 RTC_CLK, 同步 RTC 初始值至 RTC_CNT, 同时此位置 1。 0: RTC 初始值尚未被同步; 1: RTC 初始值已经被同步。
2	OWF	RTC 计数器溢出标志, 写 1 清零 0: 无溢出; 1: RTC 计数器溢出
1	ALRF	RTC 闹钟标志, 写 1 清零 0: 无闹钟; 1: 有闹钟。
0	SECF	RTC 秒标志, 写 1 清零。 当 RTC_CLK 为 1Hz 时, 每隔 1 秒置 1; 当 RTC_CLK 为 2Hz 时, 每隔 0.5 秒置 1。

2.14.3.6 RTC 计数器 (RTC_CNT)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC_CNT[31:16]															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[15:0]															
RW															

位	标记	功能描述
31:0	RTC_CNT	RTC 计数器值。

2.14.3.7 RTC 闹钟 (RTC_ALR)

偏移地址: 0x18

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC_ALR[31:16]															
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[15:0]															
RW															

位	标记	功能描述
31:0	RTC_ALR	RTC 闹钟时间。

2.14.3.8 RTC 时钟补偿值 (RTC_CALI)

偏移地址: 0x1c

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						RTC_CALI									
RW															

位	标记	功能描述
31:10	Reserved	保留
9:0	RTC_CALI	可补偿外部晶振 XTL 误差范围为-488~+487ppm RTC_CALI[9]: 在 32 秒增加 512 个脉冲 RTC_CALI[8:0]: 在 32 秒内减少 RTC_CALI[8:0]个脉冲

2.14.3.9 寄存器映射

基地址：0x2002_8000

寄存器	偏移地址	描述
RTC_BKP1R	0x00	RTC 备份寄存器
RTC_BKP2R	0x04	RTC 备份寄存器
RTC_CR	0x08	RTC 配置
RTC_IE	0x0c	RTC 中断使能
RTC_F	0x10	RTC 中断标志
RTC_CNT	0x14	RTC 计数器
RTC_ALR	0x18	RTC 闹钟
RTC_CALI	0x1c	RTC 时钟补偿值

2.15 异步收发器 (UART)

2.15.1 简介

通用异步收发器 (UART) 提供了一种灵活的方法来与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。UART 利用分数波特率发生器提供宽范围的波特率选择。

芯片内置 2 个 UART，UART0 支持 ISP 下载程序。

2.15.1.1 主要特性

- 全双工的，异步通信
- NRZ 标准格式
- 分数波特率发生器系统
- 支持波特率自适应
- 可编程数据字长度 (8 位或 9 位)
- 单线半双工通信
- 单独的发送器和接收器使能位
- 检测标志
- 传输结束标志
- 多处理器通信

2.15.2 功能描述

串口由 SOCON 控制，而实际传输的数据则在 S0BUF 寄存器中读取或写入。传输速度 (波特率) 是通过配置 `uartdiv` 来选择的，波特率的计算公式见 `uartdiv` 寄存器描述。

- 1) 同步模式，固定波特率。
- 2) 8 位 UART 数据模式，波特率可变。
- 3) 9 位 UART 数据模式，波特率可变。

表 15-1 常用速率 `uartdiv` 值对应表 ($f_{PCLK} = 16\text{Mhz}$, f_{PCLK} 为外设时钟, 其他频率换算方法见 `UART_CTRL` 寄存器描述)

序号	波特率 (Kpbs)	uartdiv
1	2.4	0x1A0B
2	9.6	0x0683
3	19.2	0x0341

序号	波特率 (Kpbs)	uartdiv
4	57.6	0x0116
5	115.2	0x008B
6	230.4	0x0045
7	460.8	0x0023
8	921.6	0x0011
9	1228.8	0x000D

串口支持波特率自适应，通过测出 RX 引脚上接收信号的波特率并将其配置到波特率寄存器中实现。使用方法如下：

- 1) 配置 MCU 和外设使用同一个时钟来源；
(设置时钟源选择寄存器 (CMU_CLK_SEL) ，选择 MCU 和外设的时钟源。)
- 2) 配置 baudtrim = 1, trim_en 写 0；
- 3) 配置 baudtrim = 1, trim_en 写 1；
- 4) RX 接收 UART 帧，帧中的低电平只能是 1 位宽；
- 5) 等到 trim_en 变为 0，读出 trim_clk_result 的结果；
- 6) 使用 trim_clk_result 作为 uart 的波特率设置。

2.15.3 UART 的引脚映射

	引脚	描述	复用配置
UART0	PA1	UART0_RXD	AF2
	PA0	UART0_TXD	AF2
	PA5	UART0_TXD	AF0
	PA6	UART0_RXD	AF0
	PA9	UART0_RXD	AF2
	PA10	UART0_TXD	AF2
	PB0	UART0_RXD	AF1
	PB1	UART0_TXD	AF1
UART1	PA2	UART1_TXD	AF3
	PA3	UART1_RXD	AF3
	PA5	UART1_TXD	AF1
	PA6	UART1_RXD	AF1
	PA11	UART1_TXD	AF2
	PA12	UART1_RXD	AF2
	PB0	UART1_TXD	AF0

	引脚	描述	复用配置
	PB1	UART1_RXD	AF0

2.15.4 寄存器描述

UART0 基址: 0x3000_0010

UART1 基址: 0x3000_0700

波特率自适应基址: 0x3000_0380

2.15.4.1 控制寄存器 (UART_CTRL)

偏移地址: 0x00

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						tx_int_en	rx_int_en	tx_busy	Res	uartdiv					
						RW	RW	RW		RW					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
uartdiv										s0_con					
RW										RW					

位	标记	功能描述
31:26	Reserved	保留位
25	tx_int_en	发送中断使能位, 0: 关闭中断, 1: 开启中断
24	rx_int_en	接收中断使能位, 0: 关闭中断, 1: 开启中断
23	tx_busy	发射忙, 1: 正在发射
22	Res	保留位
21:8	uartdiv	波特率设置位, 21: 12 表示整数, 11: 8 表示小数, Tx/ Rx baud = f _{PCLK} /(16 * uartdiv) , uartdiv = uartdiv[13:4] + uart[3:0]/16; 其中 f _{PCLK} 为外设时钟。
7:0	s0_con	7: 6: uart 模式选择 00: 模式 0, 移位寄存器, 波特率是 per_clk/12 (per_clk 为外设时钟); 01: 模式 1, 8 位数据, 波特率由 uartdiv 控制; 10/11: 模式 2, 9 位数据, 波特率由 uartdiv 控制
		5: 多处理器通信使能端
		4: 串口接收使能, 0: 关闭接收; 1: 打开接收
		3: 发送数据 bit8: 在模式 2 和模式 3, 传输 9 位数据时, 对应于发送数据第 9 位的状态, 由软件控制

位	标记	功能描述
		2: 接收数据 bit8: 在模式 2 和模式 3, 传输 9 位数据时, 对应于接收数据第 9 位的状态
		1: 发送中断标志, 标志着串口发送数据的完成。在模式 0 的第 8 位数据结束时或者在其他模式中停止位开始前被用硬件置 1, 该位必须由软件写 1 清除
		0: 接收中断标志, 在完成接收数据后由硬件置 1。在模式 0 的第 8 位数据结束时或者在其他模式中停止位开始前被用硬件置 1, 该位由软件写 1 清除, 不清除接收中断不能继续接收。

2.15.4.2 数据寄存器 (UART_DATA)

偏移地址: 0x04

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								uart_datain							
Reserved								RW							

位	标记	功能描述
31:8	Reserved	保留位
7:0	uart_datain	写发送数据/读接收到的数据

2.15.4.3 波特率自适应配置寄存器 (AUTOBPS_CONFIG)

地址: 0x3000_0380

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							trim_en	Reserved	baudtrim	Reserved			uart_rx_sel	Reserved	
Reserved							RW	Reserved	RW	Reserved			RW	Reserved	

位	标记	功能描述
31:9	Reserved	保留位
8	trim_en	启动波特率自适应, 0: 关闭, 1: 启动。trim 结束后硬件自动清零
7	Reserved	保留位
6	baudtrim	1: 使能波特率适应功能, 能够计算 uart 外部输入的波特率
5:3	Reserved	保留位
2:1	uart_rx_sel	00: 选择的时钟 uart0 的 rx; 01: 选择的时钟 uart1 的 rx; 10/11: 保留 注意: baudtrim 设置为 0 时, uart_rx_sel 的设置才生效
0	Reserved	保留位

2.15.4.4 波特率自适应结果寄存器 (AUTOBPS_RESULT)

地址: 0x3000_0384

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		trim_clk_result													
		R													

位	标记	功能描述
31:14	Reserved	保留位
13:0	trim_clk_result	trim 结束后显示为结果

2.15.4.5 寄存器映射

Uart0 基地址: 0x3000_0010

Uart1 基地址: 0x3000_0700

寄存器	偏移地址	描述
UARTx_CTRL	0x00	UART 控制寄存器
UARTx_DATA	0x04	UART 数据寄存器

波特率自适应寄存器基地址: 0x3000_0380

寄存器	偏移地址	描述
AUTOBPS_CONFIG	0x00	波特率自适应配置寄存器

AUTOBPS_RESULT	0x04	波特率自适应结果寄存器
----------------	------	-------------

2.16 低压检测 (LVD)

2.16.1 简介

LVD 可用于监测 VDD_MCU 及芯片引脚的电压。当被监测电压与 LVD 阈值的比较结果满足触发条件时，LVD 会产生中断或复位信号，用户可根据该信号执行一些紧急任务。

LVD 具有以下特性：

- 4 路监测源，VDD_MCU、PA8、PA11、PA13；
- GPIO 监测阈值电压为 1.11V；
- VDD_MCU 监测阈值电压为 15 阶，1.99~3.61V 可选
- 2 种触发结果，复位、中断
- 具备迟滞功能，强力抗干扰。

2.16.2 LVD 框图

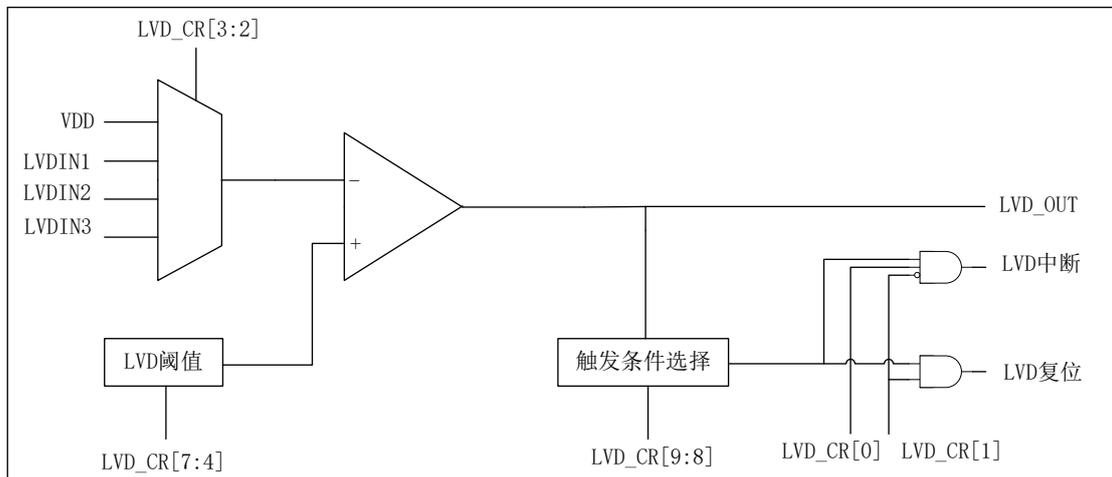
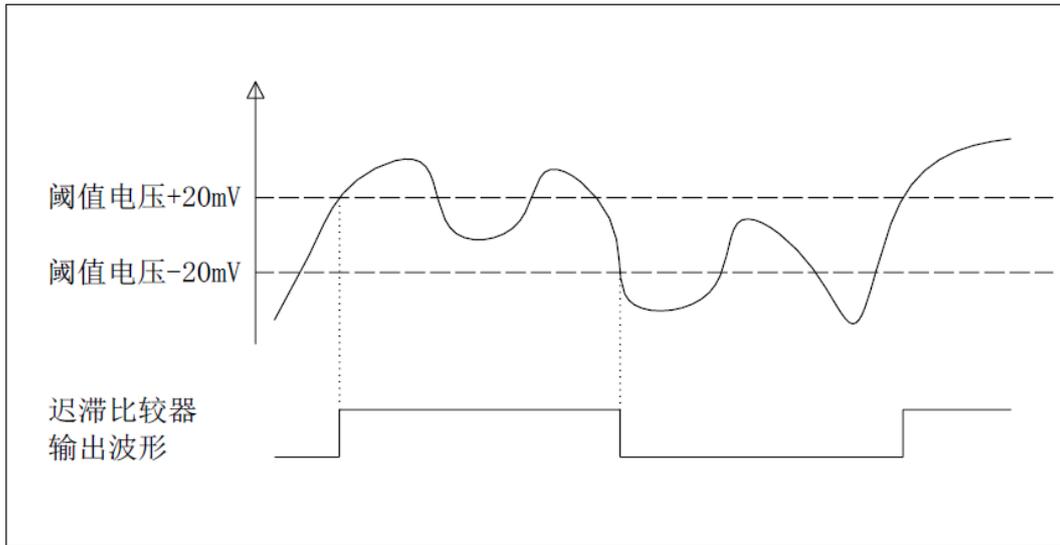


图 2-55 LVD 结构图

2.16.3 迟滞功能

LVD 内置的电压比较器具有迟滞功能，可以增强芯片的抗干扰能力。LVD 的输出信号会等到输入信号高于或低于阈值电压 20mV 后才发生翻转，其输入输出信号示意如下：



2.16.4 寄存器描述

2.16.4.1 低压检测配置寄存器 (LVD_CR)

地址: 0x3000_0330

复位值: 0x0000_00F0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						TM	VTH	Source_sel	ACT	IE						
Reserved						RW	RW	RW	RW	RW	RW					

位	标记	功能描述
31:10	Reserved	保留位
9:8	TM	00: 禁止使用, 使用 LVD 时必须配置为其他值 01: 退出低电压状态时触发 10: 进入低电压状态时触发 11: 电平触发 (进入低电压后一直触发)
7:4	VTH	PA8/PA11/PA13 电压监测阈值为 1.11V VDD_MCU 监测电压阈值按如下配置 0000: 1.99V 1000: 2.93V 0001: 2.09V 1001: 3.04V 0010: 2.22V 1010: 3.16V 0011: 2.35V 1011: 3.30V

位	标记	功能描述
		0100: 2.46V 1100: 3.36V 0101: 2.59V 1101: 3.52V 0110: 2.68V 1110: 3.61V 0111: 2.82V 1111: 关闭欠压模块
3:2	Source_sel	LVD 监测来源选择 11: PA8 端口输入电压 10: PA11 端口输入电压 01: PA13 端口输入电压 00: VDD_MCU 电压
1	ACT	LVD触发动作选择 1: 系统复位 0: 中断
0	IE	LVD中断使能 1: 使能; 0: 禁止。

2.16.4.2 低压检测中断寄存器 (LVD_IRQ)

地址: 0x3000_0334

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														lvd_irq	
Reserved														R	

位	标记	功能描述
31:1	Reserved	保留位
0	lvd_irq	低压检测中断标志位, 写 1 清除。 1: 检测到低压; 0: 未检测到低压。

2.16.5 寄存器映射

LV 寄存器列表

基地址：0x3000_0330

寄存器	偏移地址	描述
LVD_CR	0x00	低压检测配置寄存器
LVD_IRQ	0x04	低压检测中断寄存器

2.17 随机数生成模块（RANDGEN）

2.17.1 简介

RANDGEN 是一个生成真随机数的模块，生成随机数之后会产生对应的标志位。

2.17.2 寄存器描述

2.17.2.1 随机数生成控制寄存器（RDGCR）

偏移地址：0x38

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														data_rdy	rand_en
Reserved														R	RW

位	标记	功能描述
31:2	Reserved	保留位
1	data_rdy	状态标志位，1：随机数已经生成完毕，可以随时读取随机数。
0	rand_en	随机数生成使能位； 任何时候 rand_en 写入 1 时，data_rdy 清零，随机数重新生成后 data_rdy 置 1；当 rand_en 写入 0 时，RANDGEN 模块关闭，同时 rand_rdy 清零。

2.17.2.2 随机数生成数据寄存器（RDGDR）

偏移地址：0x3c

复位值：0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
rand_data															
R															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

rand_data
R

位	标记	功能描述
31:0	rand_data	生成的随机数 第一次将 rand_en 写 1 之后，32 个 RCL 时钟周期以后硬件将 data_rdy 置 1，以后只要 rand_en 为 1，在每个 RCL 时钟周期都会更新一次随机数

2.17.3 寄存器映射

RANDGEN 寄存器列表

基地址：0x3000_0238

寄存器	偏移地址	寄存器描述
RDGCR	0x38	随机数生成控制寄存器
RDGDR	0x3c	随机数数据寄存器

2.18 触摸检测(TSC)

2.18.1 触摸简介

TSC 模块最多支持 15 个电容式触摸检测通道（按键），每个通道内置一个检测电路，当对某个通道进行测量时，其检测电路被打开，测量完成自动关闭。当人的手指触摸或远离触摸按键时，检测电路产生的频率将发生改变。TSC 模块能够对检测电路产生的频率进行测量。

TSC 模块时钟源为外设时钟 PER_CLK，模块内部自带分频器，用户应该将外设时钟分频为 100-200kHz。

2.18.2 寄存器描述

基地址：0x3000-1800

2.18.2.1 通道测量配置 (TSC_MEA)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved							start	Reserved				mea_chn				
Reserved							rw	Reserved				rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
mea_cnt																
r																

位	标记	功能描述
31:25	Reserved	保留位
24	start	写 1 启动测量，测量完成之后自动清零。 start 为 1 期间无法写 mea_cnt, pre_div, scan_level
23:21	Reserved	保留位
20:16	mea_chn	指示测量结果对应的通道 0: 测量 1 通道 1: 测量 2 通道 ... 17: 测量 18 通道 其他: 保留
15:0	mea_cnt	测量结果

2.18.2.2 通道配置 (TSC_CFG1)

偏移地址: 0x04

复位值: 0x0000 4F30

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
pre_div						scan_level						Reserved			fsh_irq_en	
rw						rw									rw	

位	标记	功能描述
31:16	Reserved	保留位
15:8	pre_div	用来对触摸模块的时钟进行分频，该分频影响单通道的测量时间。 0: 不分频 1: 2分频 2: 3分频 ... 79: 80分频 (默认值) ... 255: 256分频。 该分频影响测量时间，计算方法为: $200/ck_ps_f$ ck_ps_f 是分频后的时钟频率，单位为 kHz。 推荐将 ck_ps_f 设置为 200kHz 左右。
7:4	scan_level	触摸通道频率调节控制字，不推荐用户修改。
3:1	Reserved	保留位
0	fsh_irq_en	1: 使能中断 0: 禁止

2.18.2.3 触摸中断 (TSC_IRQ)

偏移地址: 0x08

复位值: 0x0000 0000

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
--	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															fsh_irq
															rw

位	标记	功能描述
31:1	Reserved	保留位
0	fsh_irq_en	触摸检测完成标志信号 检测完成后置 1，写 1 清零或者下次启动测量清零

2.18.2.4 寄存器映射

基地址：0x3000_1800

寄存器	偏移地址	描述
TSC_MEA	0x00	TSC 测量寄存器
TSC_CFG	0x04	TSC 配置寄存器
TSC_IRQ	0x08	TSC 中断标志

2.19 UART 波特率自适应 (TRIM)

2.19.1 简介

UART 波特率自适应模块通过计算 RX 低电平长度来计算 UART 的波特率。在测量波特率时，RX 的低电平宽度必须为 1 bit。

2.19.2 寄存器描述

2.19.2.1 配置寄存器 (TRIM_CLK_CFG)

地址：0x3000_0380

复位值：0x0000_0000

31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
Reserved							trim_en	
Reserved							RW	
7	6	5	4	3	2	1	0	
Reserved	baudtrim	Reserved				uart_rx_sel		trim_clk_sel
	RW	Reserved				RW		RW

位	标记	功能描述
31:9	Reserved	保留位
8	trim_en	调使能，0：关闭； 1：打开。trim 结束后硬件自动清零
7	Reserved	保留位
6	baudtrim	1：选择波特率适应功能
5:3	Reserved	保留位
2:1	uart_rx_sel	00：选择的时钟 UART1 的 rx 01：选择的时钟 UART2 的 rx 10/11：保留 <i>注意：baudtrim 设置为 0 时，uart_rx_sel 的设置才生效。</i>
0	trim_clk_sel	1：选择被测的时钟为 3k，0：选择被测的时钟为 RC

2.19.2.2 结果寄存器 (TRIM_CLK_RESULT)

地址: 0x3000_0384

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		trim_clk_result													
		R													

位	标记	功能描述
31:14	Reserved	保留位
13:0	trim_clk_result	trim 结束后显示为结果 测波特率: trim_clk_result 即为波特率

2.19.2.3 标志寄存器 (TRIM_CLK_FLAG)

地址: 0x3000_0388

复位值: 0x0000_0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														trim_clk_flag	
														R	

位	标记	功能描述
31:30	Reserved	保留位
0	trim_clk_flag	trim 结束后标志 1: trim 已结束, 0: 正在进行 trim 或者没有进行 trim

2.19.3 使用方法

2.19.3.1 波特率自适应

1. 配置 MCU 和外设使用同一个时钟来源；
(设置时钟源选择寄存器 (CMU_CLK_SEL) , 选择 MCU 和外设的时钟源相同)
2. 配置 baudtrim = 1, trim_en 写 0;
3. 配置测试串口号 (uart_rx_sel) ;
4. 配置 baudtrim = 1, trim_en 写 1;
5. 主机发送 0x7F;
6. RX 接收 UART 帧, 帧中低电平只能是 1 位宽;
7. 等到 trim_en 变为 0, 读出 trim_clk_result 的结果;
8. 使用 trim_clk_result 作为 UART 的波特率设置。

2.20 FLASH/NVM 烧录

MCU 模块配置了 32kBytes FLASH + 4.5kBytes NVM，起始地址为 0x2000_0000，本部分介绍了其特性、功能和操作。

2.20.1 FLASH/NVM 主要特性

- FLASH 大小为 8k×32 位（32k 字节）；
- NVM 大小为 640×32 位（4.5k 字节）；
- FLASH/NVM 按扇区组织，每个扇区 512 字节；
- 支持在应用读写，可用来保存用户数据；
- 支持字节、半字（16 位）或全字（32 位）读，按 8 位写；
- 支持按扇区擦除；
- 支持 1 次擦除整个 FLASH；
- FLASH 支持读写保护。

2.20.2 FLASH/NVM 映射

表 20-1 展示了 FLASH/NVM 存储器的地址分配。

表 2-6 FLASH/NVM 存储器地址映射

块	名字		存储地址	大小	说明		
FLASH	扇区 0	row 0	0x2000_0000 – 0x2000_0003	4 字节	保留		
			0x2000_0004 – 0x2000_0007	4 字节	保留		
			0x2000_0008 – 0x2000_000F	8 字节	保留，禁止写		
		0x2000_0010 – 0x2000_0013	4 字节	NMI 中断入口			
		0x2000_0014 – 0x2000_0017	4 字节	NMI 异常入口			
		0x2000_0018 – 0x2000_007F	104 字节	用户程序/用户数据			
	row 1	0x2000_0080 – 0x2000_00FF	128 字节				
	row 2	0x2000_0100 – 0x2000_017F	128 字节				
	row 3	0x2000_0180 – 0x2000_01FF	128 字节				
	扇区 1	row 0	0x2000_0200 – 0x2000_027F		128 字节		
		row 1	0x2000_0280 – 0x2000_02FF		128 字节		
		row 2	0x2000_0300 – 0x2000_037F		128 字节		
		row 3	0x2000_0380 – 0x2000_03FF		128 字节		
	...						

块	名字		存储地址	大小	说明
	扇区 62	row 0	0x2000_7C00 – 0x2000_7C7F	128 字节	
		row 1	0x2000_7C80 – 0x2000_7CFF	128 字节	
		row 2	0x2000_7D00 – 0x2000_7D7F	128 字节	
		row 3	0x2000_7D80 – 0x2000_7DFF	128 字节	
	扇区 63	row 0	0x2000_7E00 – 0x2000_7E7F	128 字节	
		row 1	0x2000_7E80 – 0x2000_7EFF	128 字节	
		row 2	0x2000_7F00 – 0x2000_7F7F	128 字节	
		row 3	0x2000_7F80 – 0x2000_7FFF	128 字节	
NVM	扇区 0	row 0	0x2000_8000 – 0x2000_807F	128 字节	用户程序/用户数据
		row 1	0x2000_8080 – 0x2000_80FF	128 字节	
		row 2	0x2000_8100 – 0x2000_817F	128 字节	
		row 3	0x2000_8180 – 0x2000_81FF	128 字节	
	扇区 1	row 0	0x2000_8200 – 0x2000_827F	128 字节	
		row 1	0x2000_8280 – 0x2000_82FF	128 字节	
		row 2	0x2000_8300 – 0x2000_837F	128 字节	
		row 3	0x2000_8380 – 0x2000_83FF	128 字节	
		
	扇区 8	row 0	0x2000_9000 – 0x2000_907F	128 字节	
		row 1	0x2000_9080 – 0x2000_90FF	128 字节	
		row 2	0x2000_9100 – 0x2000_917F	128 字节	
		row 3	0x2000_9180 – 0x2000_91FF	128 字节	

其中，FLASH 空间用于存储用户程序，可以通过 cJTAG 或者 UART 接口对其编程。用户程序可以通过函数 flash_operation()在线读写 512 字节的 NVM。

注：灰色部分不受代码保护

2.20.3 FLASH/NVM 操作

函数 flash_operation()可以对 FLASH/NVM 进行操作，其入口地址为 0x2100_0fe2。用户程序可通过声明函数指针调用该函数，实现对 NVM 和 FLASH 的操作。

调用函数 flash_operation()之前推荐先关闭中断（MIE=0）。如果没有关闭中断（MIE=0），当在执行 flash_operation()操作的过程中产生中断时，MCU 会进入异常状态，造成 flash_operation()操作失败。

关于函数的定义如下：

```
uint8_t flash_operation(uint8_t code, uint16_t addr, uint8_t *p, uint16_t num, uint8_t clk)
```

参数和返回值描述：

code: 功能码，用于选择读，写，擦除功能；

addr: 用于设置读和编程的起始地址，范围为 0-0x9ffc，也用于指定待擦除的扇区，地址为扇区的首地址；

***p:** 数组指针；

num : 1) Erase_sector 操作时必须为 1； 2) Write_bytes/Read_bytes/Write_NVM/ Read_NVM 操作时为待操作字节数，范围为 1-128。

clk: flash 时钟，一般默认 0

返回值：0，成功；

- 1) 非法地址；
- 2) 待操作数大于剩余字节数；
- 3) 数组指针为 NULL；
- 4) 操作码错误。

注：执行读/写操作前需对数组越界检查。

功能码 code 的描述如表 20-2 所示。

表 2-7 功能码 code 描述

操作	代码	描述
Erase_sector	1	擦除 1 个指定的扇区，该操作下 num 只能为 1。
Erase_NVM	2	擦除 NVM
Erase_chip	3	擦除整个 FLASH 和 NVM（用户禁止在用户程序中使用，否则会擦掉整个 FLASH，造成意外情况）
Write_bytes	4	写 num 字节到 FLASH（地址要 4 字节对齐，一次操作只能在一个 row 内，一个扇区分为 4 个 row，每个 row 有 128 字节）
Read_bytes	5	从 FLASH 读 num 个字节（地址要 4 字节对齐）
Write_NVM	6	写 num 个字节到 NVM（地址要 4 字节对齐，一次操作只能在一个 row 内，NVM 分为 4 个 row，每个 row 有 128 字节）
Read_NVM	7	从 NVM 读 num 个字节（地址要 4 字节对齐）

定义函数指针示例：

```
#define MY_FLASH_OPERATION_Addr 0x21000fe2  
uint8_t (*my_flash_operation)(uint8_t code, uint16_t addr, uint8_t *p, uint16_t num, uint8_t  
clk);  
  
my_flash_operation = MY_FLASH_OPERATION_Addr;
```

2.20.4 FLASH 读写保护

FLASH 存储器能够保护用户程序，防止外部读写访问。通过上位机软件或 IDE 软件设置。

2.20.5 FLASH/NVM 烧录

用可以通过两种方法下载用户程序至 MCU 模块：

- 1) 通过编程上位机软件：MCU 模块于 ROM 中存放了引导程序，通过串口与编程上位机通信。用户正确连接串口的 TX1/RX1 引脚后即可通过上位机进行编程；

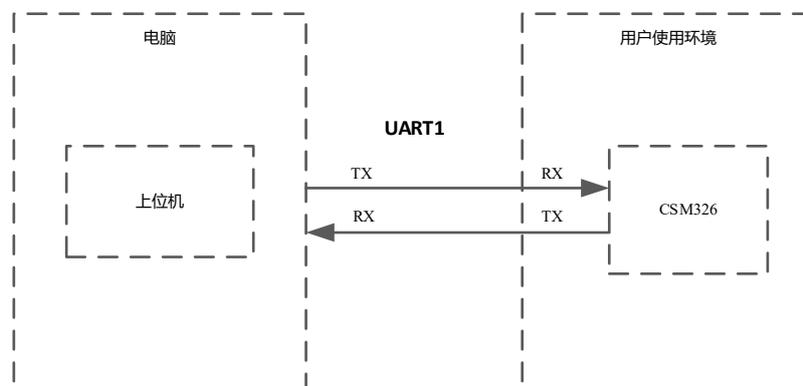


图 2-56 MCU 与上位机连接

- 2) 通过 cJTAG 接口：MCU 模块配备了 2-线 cJTAG 接口用于调试和编程，用户连接调试器和 MCU 的调试接口：TCKC 和 TMSC 引脚，通过 IDE 软件进行编程，关于 cJTAG 接口的描述详见 [21 Debug 支持](#)，调试和编程的详细操作流程详见 CSM Studio IDE Manual。

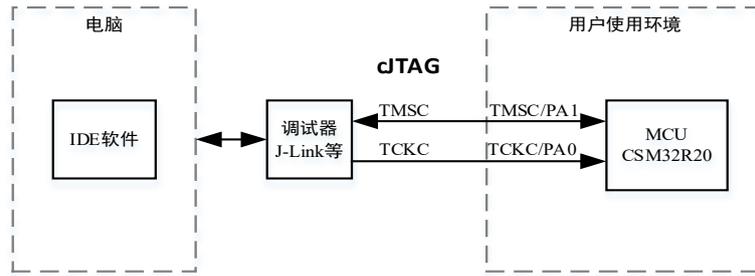


图 2-57 MCU 与 cJTAG 连接

2.21 Debug 支持

2.21.1 概述

MCU 模块围绕 32 位 RISC-V 内核构建，该内核包含 JTAG 调试传输模块(debug transport module, DTM)，支持使用单个外部工业标准 1149.1 JTAG 接口测试和调试系统。DTM 支持交互式调试和最多 4 个硬件断点。JTAG 调试接口由一个工业标准 2-线 cJTAG 接口驱动。

JTAG 的 ID 号和版本号映射在地址 0x2000_9210。每个 bit 的含义如下——

位	符号	描述
31:16	jtag_part_number	Part Number
15	-	保留
14:11	jtag_version	Version, 版本号
10:0	jtag_mfr_id	MFR_ID, 制造商 ID

2.21.2 cJTAG 调试接口

MCU 模块内核内嵌了 cJTAG 适配器，提供了由两个信号组成的接口：TCKC 和 TMS。许多调试器可以同时支持传统的 JTAG 和新的 cJTAG。使用时将调试探针的 TCKC 和 TMS 引脚与 MCU 相对应的引脚相连，支持在线调试和下载，具体操作详见 CSM Studio IDE Manual。

表 2-8 cJTAG 调试接口引脚

cJTAG 引脚名	cJTAG 调试端口		引脚分配
	类型	调试分配	
TMS	IO	数据输入/输出	PA1

TCKC	I	时钟	PA0
------	---	----	-----

cJTAG 的 2 个引脚默认复用为调试接口，若不使用 cJTAG 则用户可以将其复用为通用 I/O，详见 [6 通用和复用功能 I/O](#)。

2.22 RISC-V 内核

内置 32 位 RISC-V 核，采用两级流水线，支持 IMAC 指令。RISC-V 相关请参照[1][2]。

[1] A. Waterman and K. Asanovic, Eds., The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Version 2.2, May 2017. [Online]. Available: <https://riscv.org/specifications/>

[2] The RISC-V Instruction Set Manual Volume II: Privileged Architecture Version 1.10, May 2017. [Online]. Available: <https://riscv.org/specifications/>

2.23 芯片电子签名

芯片电子签名信息放在 NVM 中，用户可通过软件读取。

基地址：0x2000_9200		
偏移地址	含义	有效值
0x0010-0x0013	JTAG 配置信息	bit31:16 jtag_part_number bit15 保留 bit14:11 jtag_version bit10:0 jtag_mfr_id
0x0080-0x0083	芯片名称长度, 单位为字节	0x0000_000A
0x0084-0x008F	芯片名称, ASCII 编码	'C' 'S' 'M' '3' '2' 'R' 'V' '0' '0' '3'
0x0090-0x0093	芯片 ID_1	0xXXXX_XXXX
0x0094-0x0097	芯片 ID_2	0xXXXX_XXXX
0x0098-0x009B	芯片 ID_3	0xXXXX_XXXX
0x009C-0x009F	Flash 容量 (单位 k)	0x0000_0024

3 读写器模块

3.1 功能描述

读写器模块的传输模块支持具有多种传输速率和调制方法的 ISO14443A/MIFARE 和 14443B 的读卡器模式。

注意：本章所列出的调制系数和模式都是系统参数，也就是说为了达到最优性能，需要适配的芯片设置和天线调谐。

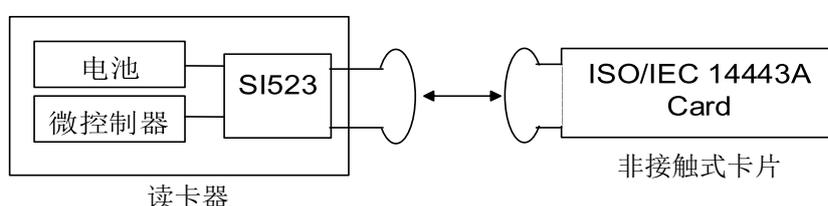


图 3-1 读写器模块读卡模式

3.1.1 ISO 14443A/MIFARE 读卡器功能

物理层通信示意图如下。

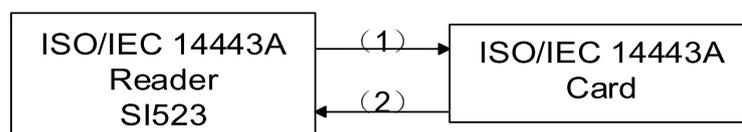


图 3-2 ISO/IEC 14443A/MIFARE 读卡器模式通信示意图

物理参数如下表所示。

表 3-1 ISO 14443A/MIFARE 读卡器通信相关参数列表

通信方向	信号类型	传输速率			
		106 kBd	212 kBd	424 kBd	848 kBd
读卡器→卡 (读写器模块 发送数据到 卡)	读卡器的调制	100% ASK	100% ASK	100% ASK	100% ASK
	位编码	改进 Miller 编码	改进 Miller 编码	改进 Miller 编码	改进 Miller 编码
	位长度	(128/13.56) μs	(64/13.56) μs	(32/13.56) μs	(16/13.56) μs
卡→读卡器 (读写器模块)	卡的调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16

接收来自卡的数据)	位编码	Manchester	BPSK	BPSK	BPSK
-----------	-----	------------	------	------	------

完整 ISO 14443A/MIFARE 协议的实现需要使用芯片的非接触式 UART 和外围专用主机。内部 CRC 协处理器根据 ISO 14443A-3 来计算 CRC 值，根据传输速率生成奇偶校验位。

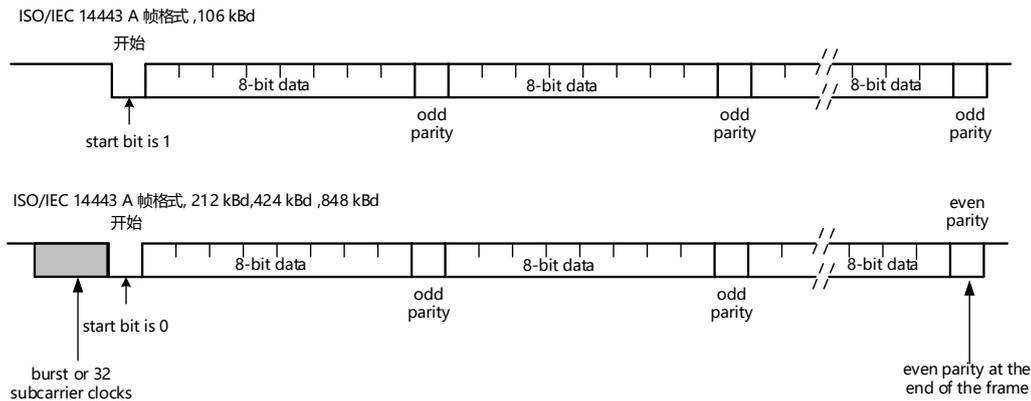


图 3-3 ISO/IEC 14443A 协议数据编码与帧结构

3.1.2 ISO/IEC 14443B 读卡器功能

读写器模块支持 ISO/IEC 14443B 卡的读写，相关物理层参数如表 3-2 所示。

表 3-2 ISO 14443B 读卡器通信相关参数列表

通信方向	信号类型	传输速率			
		106kBd	212kBd	424kBd	848kBd
读卡器→卡 (读写器模块发送数据到卡)	读卡器的调制	10%ASK	10%ASK	10%ASK	10%ASK
	位编码	NRZ -L	NRZ -L	NRZ -L	NRZ -L
	位长度	(128/13.56) μs	(64/13.56) μs	(32/13.56) μs	(16/13.56) μs
卡→读卡器(读写器模块接收来自卡的数据)	卡的调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码	BPSK	BPSK	BPSK	BPSK

3.1.3 Auto Low Power Polling Loop

自动低功耗轮循环 (Auto Low Power Polling Loop) 由 3 个阶段构成——侦听、轮询和休眠。其中侦听和休眠可以单独使能。在典型的 500ms 的轮询周期下，平均电流仅为 3.5uA，可实现极低功耗自动检场检卡。

其原理简图如下所示：

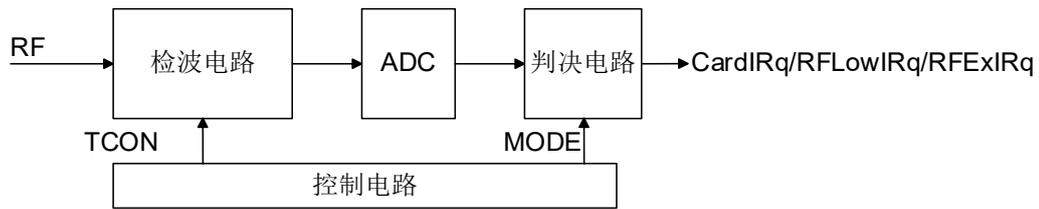


图 3-4 ACD 功能简图

轮询和侦听功能的实现原理见检波电路说明部分。轮询和侦听阶段的 TK/TR/TI/T_CON 可以单独配置。

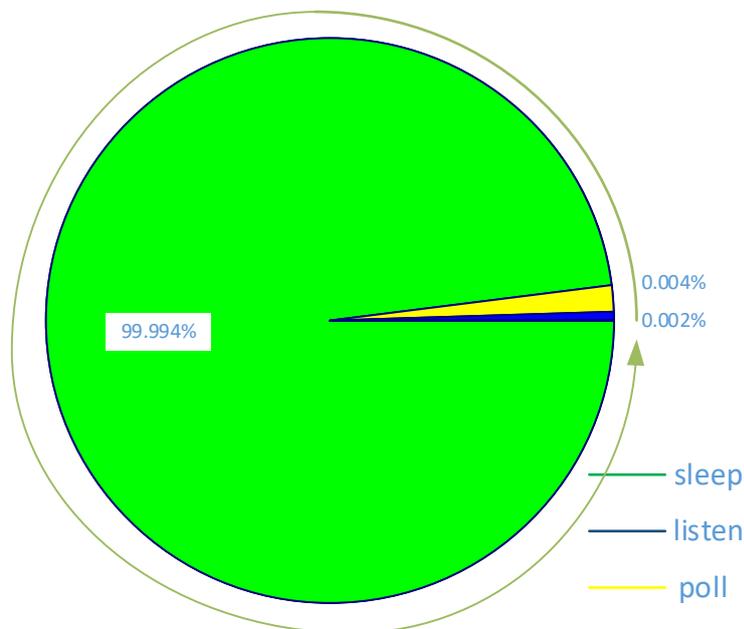


图 3-5 轮询过程示意图

根据用户设置，进入轮询模式之后的 2~5 次侦听/轮询可以忽略。

1) 侦听阶段

读写器模块在此阶段寻找阅读器。读写器模块不发射载波，检测外部有没有其他阅读器发射的 13.56MHz 载波。若其幅度大于 RFExTreshold，则停止执行 Loop 并产生中断。

2) 轮询阶段

读写器模块在此阶段寻找射频卡。读写器模块先发射载波然后检测 13.56MHz 载波幅度变化。若载波幅度变化大于设定阈值则判定为有卡并产生中断。

- (1) 检卡模式：可以设置为自动模式和绝对值模式
 - 自动模式——将本次检测载波幅度与上次检卡时的载波幅度比较，差值超过设定阈值则判定有卡。
 - 绝对值模式——将本次检测载波幅度与设定值比较，差值超过设定阈值则判定有卡。
- (2) 检卡方向：检卡方向可以根据需要设置为三种模式
 - 上升沿——有卡比无卡时的载波幅度大
 - 下降沿——有卡比无卡时的载波幅度小
 - 双沿——有卡比无卡时的载波幅度大或小
 - 场异常判断
- (3) 休眠阶段：芯片处于休眠状态。

相关寄存器：0x01，0x0F_A/B/C/D/E/F/G/I/J/K/L/M/N/O/P

3.1.3.1 RF 参考值自动获取方法

通过命令自动获取：

- 1) 通过写 ADC_EXCUTE 命令获取，命令编码为 0110b；
- 2) 等待 100us 以上；
- 3) 再次写 ADC_EXCUTE，读 0X0F_G 即为所需参考值。

3.1.3.2 检波电路

检波电路原理简图如下：

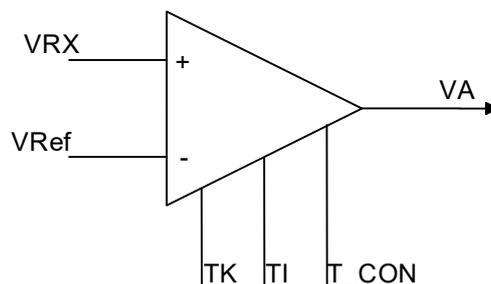


图 3-6 检波电路框图

VRX: 天线端场强；

VRef: ADC 参考电压，由 T_CON 控制；

VA: 检波模块送给 ADC 的电压。

3.1.3.3 晶振监测

在轮询过程中，当晶振连续 4 次起振失败时，产生晶振起失败中断。产生中断之后，芯片并不会唤醒，而是继续执行 Polling Loop。一旦 OSC 起振，内部计数器复位。

相关寄存器有：0x0F_F/0x0F_O/0x0F_P。

3.1.3.4 3K RC

定时唤醒——由 3K RC 驱动，3K RC 只在 Polling Loop 中工作。

时钟校正——分为自动校正和手动校正：

- (1) 自动校正：通过写 MStart 命令自动校正，命令编码为 0101b；
- (2) 手动校正：通过配置寄存器进行手动校正。

相关寄存器：0x0F_A/0x0F_E/0x0F_F。

3.1.3.5 ARI

此功能用来指示寻卡时 RF 场是否开启。ARI 比 RF 场提前开 1us，比 RF 场晚关 1us。ARI 功能和 D1 脚复用。

相关寄存器：0x0F_L/0x0F_J。

3.1.3.6 ACD 配置监测

进入轮询模式之前，将 ACCEn 置 1，使能配置监测功能。一旦数据丢失，将产生 ACCErr，通过 IRQ 传出。

更新轮询配置之前必须将 ACCEn 拉低。拉低 ACCEn，ACCErr 将自动被清除。

3.2 寄存器映射

3.2.1 寄存器集概述

表 3-3 寄存器概览

地址 (HEX)	寄存器名	功能
PAGE0: 命令和状态		
0	PageReg	寄存器翻页和轮询配置访问
1	CommandReg	启动、终止命令的执行
2	CommlRqReg	中断请求传递的使能和禁能控制位
3	DivlEnReg	中断请求传递的使能和禁能控制位
4	ComlRqReg	中断请求标志位
5	DivlRqReg	中断请求标志位
6	ErrorReg	错误标志位, 指示上一个执行的命令的错误状态
7	Status1Reg	通信的状态标志
8	Status2Reg	接收机和发送机的状态标志
9	FIFODataReg	64 字节 FIFO 的输入输出缓冲区
A	FIFOLevelReg	指示 FIFO 中存储的字节数
B	WaterLevelReg	定义产生上溢和下溢警报的 FIFO 深度
C	ControlReg	各控制寄存器
D	BitFramingReg	面向比特的帧的调整
E	CollReg	RF 接口检测到的第一个冲突位的位置
F_A	RCCfg1	3K RC 配置 1
F_B	ACRDCfg	射频卡和射频场检测
F_C	ManRefVal	手动模式参考值
F_D	ValDelta	场强变化范围
F_E	ADCCfg	轮询 ADC 配置
F_F	RCCfg1	3K RC 配置 2
F_G	ADCVal	轮询 ADC 采样值

F_H	WdtCnt	看门狗间隔设置
F_I	ARI	ACRD
F_J	RFU	-
F_K	LPDCfg1	检波器配置 1
F_L	LPDCfg2	检波器配置 2
F_M	RFLowDetect	ACD 期间低 RF 监测配置
F_N	ExRFDetect	ACD 期间外部 RF 监测配置
F_O	ACRDIRqEn	ACD 相关中断使能
F_P	ACRDIRq	ACD 相关中断
PAGE1: 通信		
0	PageReg	寄存器翻页和轮询配置访问
1	ModeReg	定义发射和接收的常用模式
2	TxModeReg	定义发射的速率和帧
3	RxModeReg	定义接收的速率和帧
4	TxControlReg	控制天线驱动管脚 TX1 和 TX2 的逻辑特性
5	TxAutoReg	控制天线驱动的配置
6	TxSelReg	选择天线驱动源
7	RxSelReg	内部接收机设置
8	RxTH	选择位译码器的阈值
9	DemodReg	解调电路设置
A	RFU	-
B	RFU	-
C	MifNFCReg	控制 ISO14443A/MIFARE
D	Mfrx	接收机参数细调
E	TypeBReg	配置 ISO14443B 通信
F	SerialSpeedReg	选择串行 UART 接口的速率
PAGE2: 配置		
0	PageReg	寄存器翻页和轮询配置访问
1	CRCResultReg	显示 CRC 计算的 MSB 和 LSB 值

2		
3	GsNOffReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在天线驱动关闭时做调制用
4	ModWidthReg	控制调制宽度
5	RFU	-
6	RFCfgReg	配置接收机增益和 RF 检测器灵敏度
7	GsNOnReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在天线驱动打开时做调制用
8	CWGSPReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在未调制时使用
9	ModGsPReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在调制时使用
A	TMode Register	内部定时器设置
B	TPrescaler Register	
C	TRloadReg	16-bit 定时器重装值
D		
E	TCounterValReg	16-bit 实际定时器值
F		
PAGE3: 测试		
0	PageReg	寄存器翻页和轮询配置访问
1	CommTest1Reg	常用测试信号配置
2	TestSel2Reg	常用测试信号配置和 PRBS 控制
3	TestPinEnReg	8-bit 并行总线的管脚输出驱动使能（仅用于串行接口）
4	TestPinValueReg	当用作 I/O 总线时，定义 8-bit 并行总线的值
5	TestBusReg	内部测试总线的状态
6	SelfTestReg	控制数字自测试
7	VersionReg	版本控制
8	AnalogTestReg	控制管脚 AUX1 和 AUX2
9	TestDAC1Reg	定义 TestDAC1 的测试值
A	TestDAC2Reg	定义 TestDAC2 的测试值
B	TestADCReg	显示 ADC I 和 Q 通道的实际值
C-F	RFT	保留用于产品测试

根据寄存器的不同功能，寄存器位的存取情况也有不同。位操作相同的寄存器通常会被分配到一组。

寄存器行为如下表所示。

表 3-4 寄存器行为描述

缩写	操作	描述
r/w	读/写	这些位由微控制器写入和读出，用作芯片控制，其内容不受内部状态机的影响。例如 CommIRqReg 可以由微控制器写入和读出，也可以由内部状态机读出，但是状态机不能改变它的内容。
dy	动态	这些位由微控制器写入和读出，也可以由内部状态机自动写入。例如当执行完一个实际的命令后，命令寄存器的内容随之自动变化。
r	只读	这些位保存着大量的标志，其值仅由内部状态来决定。例如 CRCReady 标志不是从外部写入，而是显示芯片内部状态。
w	只写	读这些位通常返回 0。
RFU	-	这些寄存器保留为将来使用，其值不应更改。
RFT	-	这些寄存器保留用于产品测试，其值不应更改。

3.2.2 PAGE0: 命令和状态

3.2.2.1 PageReg

表 3-5 PageReg 地址: 00h 复位值: 00h

	7	6	5: 2	1	0
	UsePageSelect	RegbankSelect	RegSelect	PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w

表 3-6 PageReg 位描述

位	符号	功能
7	UsePageSelect	设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定； 设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组

5-2	RegSelect	0000: 读写 A 组寄存器; 0001: 读写 B 组寄存器; ... 1111: 读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效, 此时用于指定寄存器页, 即地址高两位

3.2.2.2 CommandReg

启动、终止命令的执行。

表 3-7 CommandReg 地址: 01h 复位值: 20h

	7	6	5	4	3	2	1	0
	AutoPoll	0	RcvOff	Power Down	Command			
访问权限	dy	RFU	r/w	dy	dy	dy	dy	dy

表 3-8 CommandReg 位描述

位	符号	功能
7	AutoPoll	0: Off 1: On 在 ACD 模式下, 每当检测带外部周期信号上升沿就自动开始执行轮询。在轮询期间, 每当检测到场强中断就将 AutoPoll 置 0, 即关闭 ACD, 并产生中断信号; 否则进入 PowerDown 模式, 等待下一次外部周期信号
6	-	保留为将来使用
5	RcvOff	设置为 1 表示接收机的模拟部分关断
4	PowerDown	设置为 1 表示进入软掉电模式; 设置为 0, 读写器模块启动唤醒过程, 在该过程中这一位仍然保持为 1, 0 表示读写器模块已经准备好工作。 注意: 如果已经激活 SoftReset 命令, 这一位就不能再置位
3-0	Command	根据命令码来激活命令; 读这些寄存器可以得到当前正在执行的命令。见 18 节

3.2.2.3 CommlEnReg

中断请求传递的使能和禁能控制位。

表 3-9 CommlEnReg 地址：02h 复位值：80h

	7	6	5	4	3	2	1	0
	IRqInv	TxIEn	RxIEn	IdleIEn	HiAlertIE n	LoAlertI En	ErrIEn	TimerIEn
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-10 CommlEnReg 位描述

位	符号	功能
7	IRqInv	设置为 1 表示 IRQ 管脚上的信号与 Status1Reg 中的 IRq 位相反； 设置为 0 则相等。与 Div1RqReg 中的 IRqPushPull 位一起使用，默认值为 1 时 IRQ 管脚的输出是三态的
6	TxIEn	允许发射机中断请求（TxIRq）传递到 IRQ 管脚
5	RxIEn	允许接收机中断请求（RxIRq）传递到 IRQ 管脚
4	IdleIEn	允许空闲中断请求（IdleIRq）传递到 IRQ 管脚
3	HiAlertIEn	允许高警告中断请求（HiAlertIRq）传递到 IRQ 管脚
2	LoAlertIEn	允许低警告中断请求（LoAlertIRq）传递到 IRQ 管脚
1	ErrIEn	允许错误中断请求（ErrorIRq）传递到 IRQ 管脚
0	TimerIEn	允许定时器中断请求（TimerIRq）传递到 IRQ 管脚

3.2.2.4 Div1EnReg

中断请求传递的使能和禁能控制位。

表 3-11 Div1EnReg 地址：03h 复位值：00h

	7	6	5	4	3	2	1	0
	IRQPush Pull	CardIRqE n	WdtIRqE n	MFinActI En	RFU	CRCIEEn	RFU	RFU
访问权限	r/w	r/w	r/w	r/w	-	r/w	-	-

表 3-12 DivlEnReg 位描述

位	符号	功能
7	IRQPushPull	设置为 1 表示 IRQ 管脚用作标准 CMOS 输出管脚； 设置为 0 表示 IRQ 管脚用作开漏输出管脚。
6	CardIRqEn	场强中断使能 1: 使能 0: 不使能
5	WdtIRqEn	定时唤醒使能 1: 使能 0: 不使能
4	MFinActIE	允许 MFIN 有效中断请求传递到 IRQ 管脚
3	RFU	-
2	CRCIE	允许 CRC 中断请求 (CRCIRq) 传递到 IRQ 管脚
1	RFU	-
0	RFU	-

3.2.2.5 CommlRqReg

中断请求标志位。

表 3-13 CommlRqReg 地址: 04h 复位值: 14h

	7	6	5	4	3	2	1	0
	Set1	TxIRq	RxIRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq	TimerIRq
访问权限	w	dy	dy	dy	dy	dy	dy	dy

表 3-14 CommlRqReg 位描述

位	符号	功能
7	Set1	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
6	TxIRq	在发射完发送数据的最后一个比特后立刻置 1
5	RxIRq	当接收机检测到一个有效数据流结束后置 1； 如果 RxModeReg 中的 RxNoErr 为 1，那么只有当 FIFO 中有有效数据字节时

		RxIRq 才置 1
4	IdleIRq	当命令自动终止时置 1，例如当 CommandReg 从任意命令变为空闲命令时。 如果启动了一个未知的命令，CommandReg 将变为空闲，并置位 IdleIRq。由微控制器启动 Idle 命令则不会置位空闲中断
3	HiAlertIRq	当 Status1Reg 的 HiAlert 位为 1 时置 1。与 HiAlert 相反，HiAlertIRq 保存了该中断事件，只能通过 Set1 位的清零指示来复位
2	LoAlertIRq	当 Status1Reg 的 LoAlert 位为 1 时置 1。与 LoAlert 相反，LoAlertIRq 保存了该中断事件，只能通过 Set1 位的清零指示来复位
1	ErrIRq	当 ErrorReg 中有任何错误位为 1 时置 1
0	TimerIRq	当定时器 TimerValue 寄存器递减到 0 时置 1

3.2.2.6 DivIRqReg

中断请求标志位。

表 3-15 DivIRqReg 地址：05h 复位值：xxh, 000x00xxb

	7	6	5	4	3	2	1	0
	Set2	CardIRq	WdtIRq	MFinActIRq	RFU	CRCIRq	RFU	RFU
访问权限	w	dy	dy	dy	-	dy	-	-

表 3-16 DivIRqReg 位描述

位	符号	功能
7	Set2	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
6	CardIRq	场强中断 1: 有卡 0: 无卡
5	WdtIRq	定时唤醒中断 1: 产生了定时唤醒 0: 未产生定时唤醒
4	MFinActIRq	当 MFIN 有效时置 1；当信号上升沿或下降沿被检测到时置位
3	RFU	-
2	CRCIRq	当 CRC 命令有效且所有数据都被处理后置 1

1	RFU	-
0	RFU	-

3.2.2.7 ErrorReg

错误标志位，指示上一个执行的命令的错误状态。

表 3-17 ErrorReg 地址：06h 复位值：00h

	7	6	5	4	3	2	1	0
	WrErr	TempErr	RFU	BufferOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
访问权限	r	r	-	r	r	r	r	r

表 3-18 ErrorReg 位描述

位	符号	功能
7	WrErr	在 AutoColl 命令或 MFAuthent 命令执行期间，主机向 FIFO 写数时置 1； 在射频接口发送最后一个比特到接收最后一个比特之间，主机向 FIFO 写数也会置 1
6	TempErr	内部温度传感器检测到过热时置 1，此时天线驱动自动关断
5	RFErr	-
4	BufferOvfl	在主机或者读写器模块的内部状态机（如接收机）在 FIFO 已满的情况下仍向 FIFO 写数时置 1
3	CollErr	检测到位冲突时置 1；在接收机启动阶段自动清 0 仅在 106kb/s 面向比特的防冲突过程中有效，在 212/424 kb/s 时该位始终为 0
2	CRCErr	在 RxModeReg 中的 RxCRCEn 位为 1 且 CRC 计算错误时置 1，在接收机启动阶段自动清 0
1	ParityErr	在奇偶校验出错时置 1，在接收机启动阶段自动清 0。仅在 ISO 14443A/MIFARE 或 NFCIP-1 106kb/s 通信情况下有效
0	ProtocolErr	1: SOF 错误 接收器启动阶段自动清零，仅在 106kBd 速率下有效，在 MFAuthent 命令执行

		期间，若一个数据流收到的字节数错误则 ProtocolErr 位置位
--	--	------------------------------------

注意：执行命令时将清除了 TempErr 之外的所有错误标志位；错误标志位不能通过软件置位。

3.2.2.8 Status1Reg

CRC，中断和 FIFO 的状态位。

表 3-19 Status1Reg 地址：07h 复位值：xxh, x100x01xb

	7	6	5	4	3	2	1	0
	RFU	CRCOk	CRCReady	IRq	TRunning	RFU	HiAlert	LoAlert
访问权限	-	r	r	r	r	r	r	r

表 3-20 Status1Reg 位描述

位	符号	功能
7	RFU	-
6	CRCOk	CRC 结果为 0 时置 1。在发射和接收数据时 CRCOk 不定，使用 ErrorReg 中 CRCErr 的值。CRCOk 指示了 CRC 协处理器的状态，在计算过程中该位为 0，CRC 计算完成且正确时置 1
5	CRCReady	CRC 计算完成时置 1，该位仅在 CalcCRC 命令期间对 CRC 协处理器的计算有效
4	IRq	任意中断源请求中断（与中断使能位有关，详见 CommlRqReg 和 DivIEnReg 的配置）
3	TRunning	定时单元工作时置 1，例如 TCounterValReg 会随着下一个定时器时钟的到来而递减 注意在门控模式中，当定时器由寄存器位使能时，则 TRunning 置 1，不受门控信号的影响
2	RFU	-
1	HiAlert	当 FIFO 中存储的字节数满足下式时置 1： $HiAlert = (64 - FIFOLength) \leq WaterLevel$
0	LoAlert	当 FIFO 中存储的字节数满足下式时置 1： $LoAlert = FIFOLength \leq WaterLevel$

3.2.2.9 Status2Reg

接收机，发射机和数据模式检测器的状态位。

表 3-21 Status2Reg 地址：08h 复位值：00h

	7	6	5	4	3	2	1	0
	TempSensClear	I2CForceHS	RFU	RFU	MFCryptOn	Modem State		
访问权限	r/w	r/w	-	-	dy	r	r	r

表 3-22 Status2Reg 位描述

位	符号	功能	
7	TempSensClear	设置为 1，且温度低于警报限制值 125°C 时清除温度错误	
6	I2CForceHS	I2C 输入滤波器设置。设置为 1 时，I2C 输入滤波器进入不受 I2C 协议约束的高速模式；设置为 0 时 I2C 输入滤波器满足 I2C 协议	
5	RFU	-	
4:3	RFU	-	
2-0	Modem State	发射机和接收机的状态	
		值	描述
		000	空闲
		001	等待 BitFramingReg 中的 StartSend 置位
		010	TxWait: 如果 TxWaitRF 位为 1，等待 RF 场准备好再发射数据。 TxWait 的最小时间在 TxWaitReg 中定义
		011	发射数据
		100	RxWait: 如果 RxWaitRF 位为 1，等待 RF 场准备好再接收数据。 RxWait 的最小时间在 RxSelReg 中定义
101	等待数据		
110	接收数据		

3.2.2.10 FIFODataReg

FIFO 的输入输出。

表 3-23 FIFODataReg 地址：09h 复位值：xxh, xxxxxxxxb

	7	6	5	4	3	2	1	0
	FIFOData							
访问权限	dy	dy	dy	dy	dy	dy	dy	dy

表 3-24 FIFODataReg 位描述

位	符号	功能
7-0	FIFOData	内部 64 字节 FIFO 的数据输入和输出端口，相当于串行输入输出数据流的并行输入/输出转换器

3.2.2.11 FIFOLevelReg

指示存储在 FIFO 中的字节数。

表 3-25 PageReg 地址: 0Ah 复位值: 00h

	7	6	5	4	3	2	1	0
	FlushBuffer	FIFOLevel						
访问权限	w	r	r	r	r	r	r	r

表 3-26 PageReg 位描述

位	符号	功能
7	FlushBuffer	设置为 1 时，立刻清除 FIFO 的读写指针和 ErrorReg 的 BufferOvfl 标志。读该位总是返回 0
6-0	FIFOLevel	指示存储在 FIFO 中的字节数，写 FIFODataReg 时随之递增，读 FIFODataReg 时随之递减

3.2.2.12 WaterLevelReg

定义发出 FIFO 下溢和上溢警告的 FIFO 深度。

表 3-27 WaterLevelReg 地址: 0Bh 复位值: 08h

	7	6	5	4	3	2	1	0
	0	0	WaterLevel					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-28 WaterLevelReg 位描述

位	符号	功能
7-6	-	保留为将来使用
5-0	WaterLevel	指示产生上溢和下溢警告的 FIFO 深度： 当 FIFO 中剩余的空间 \leq WaterLevel 时，Status1Reg 的 HiAlert 置 1； 当 FIFO 中的字节数 \leq WaterLevel 时，Status1Reg 的 LoAlert 置 1

3.2.2.13 ControlReg

控制位。

表 3-29 ControlReg 地址：0Ch 复位值：10h

	7	6	5	4	3	2	1	0
	TStopNow	TStartNow	RFU	RFU	RFU	RxLastBits		
访问权限	w	w	-	-	-	r	r	r

表 3-30 ControlReg 位描述

位	符号	功能
7	TStopNow	设置为 1 时定时器立刻停止工作，读该位始终返回 0
6	TStartNow	设置为 1 时定时器立刻开始工作，读该位始终返回 0
5:3	RFU	-
2-0	RxLastBits	指示最后一个接收到的字节中有效的比特数，如果为 0，则整个字节都是有效的

3.2.2.14 BitFramingReg

调整面向比特的帧。

表 3-31 BitFramingReg 地址：0Dh 复位值：00h

	7	6	5	4	3	2	1	0
	StartSend	RxAlign			0	TxLastBits		
访问权限	w	r/w	r/w	r/w	RFU	r/w	r/w	r/w

表 3-32 BitFramingReg 位描述

位	符号	功能
---	----	----

7	StartSend	设置为 1 时开始发射数据；该位只在与 Transceive 命令一起使用时有效
6-4	RxAlign	用于面向比特的帧的接收：RxAlign 定义了接收到的第一个比特在 FIFO 中的存储比特位置，后面接收到的比特依次存储其后 例如： RxAlign=0：接收到的 LSB 存储在比特位置 0，第二个接收到的比特存储在比特位置 1； RxAlign=1：接收到的 LSB 存储在比特位置 1，第二个接收到的比特存储在比特位置 2； RxAlign=7：接收到的 LSB 存储在比特位置 7，第二个接收到的比特存储在下一个字节的比特位置 0；
3	-	保留为将来使用
2-0	TxLastBits	用于面向比特的帧的发送：TxLastBits 定义了发射数据最后一个字节要发射的比特数，000 表示发射整个字节

3.2.2.15 CollReg

RF 接口检测到的首个位冲突的位置。

表 3-33 CollReg 地址：0Eh 复位值：xxh, 101xxxxb

	7	6	5	4	3	2	1	0
	Values AfterColl	0	CollPos NotValid	CollPos				
访问权限	r/w	RFU	r	r	r	r	r	r

表 3-34 CollReg 位描述

位	符号	功能
7	ValuesAfterColl	如果设置为 0，发生冲突后所有接收到的比特都会被清除；该位仅在 106kbits/s 面向比特的防冲突过程中使用，否则将设置为 1
6	-	保留为将来使用
5	CollPosNotValid	如果没有检测到冲突，或者冲突位置超过了 CollPos 的范围，则设置为 1；仅在 106kbits/s 的被动通信模式或者 ISO
4-0	CollPos	指示了首个被检测到的位冲突在接收帧中的位置 例如：

		<p>00h 表示在第 32 位上检测到了位冲突</p> <p>01h 表示在第 1 位上检测到了位冲突</p> <p>08h 表示在第 8 位上检测到了位冲突</p> <p>仅在 106kbits/s 的被动通信模式或者 ISO 14443A/MIFARE 读卡器模式，且 CollPosNotValid 为 0 的情况下有效</p>
--	--	--

3.2.2.16 PollReg

地址 0x0F 下埋了 16 组寄存器，通过地址 0x00/0x10/0x20/0x30 寄存器选择具体访问哪一组。

表 3-35 PollReg 地址：0Fh 复位值：xxh，详见下表

地址	位	符号	访问权限	复位值	描述
0F_A		RCCfg1		05h	3K RC 配置 1
	7	Trimsel	r/w	0b	1: 选择手动校正 0: 选择自动校正
	6	Max	r/w	0b	1: 使能精校正
	5:0	mdelay	r/w	000101b	ACD 唤醒间隔 (mdelay+1)*100ms, 最小 100ms, 最大 6400ms
0F_B		ACRDCfg		02h	3K RC 配置 1
	7:6	ACDEdge	r/w	00b	简语定义: LSample 上一次检卡采样值 CSample 本次检卡采样值 ValSet 为 0F_C[6:0]的值 ValDelta 为 0F_D[6:0]的值 绝对值模式有卡判决条件 00/11: CSample > ValSet + ValDelta 或者 CSample < ValSet - ValDelta 01: CSample > ValSet + ValDelta 10: CSample < ValSet - ValDelta 相对值模式有卡判决条件 CSample > LSample+ ValDelta 或者

					CSample < LSample- ValDelta 01: CSample > LSample+ ValDelta 10: CSample < LSample- ValDelta
	5	ACDMode	r/w	0b	0: 绝对值比较 1: 相对值比较
	4:3	ACDRFEn	r/w	00b	01: 使能低功耗卡检测 10: 使能低功耗 RF 检测 00/11: 同时使能低功耗卡和 RF 检测
	2:1	MaskACD	r/w	01b	ACD 模式下 00: 从第 3 次轮询开始检测卡或射频场 01: 从第 4 次轮询开始检测卡或射频场 10: 从第 5 次轮询开始检测卡或射频场 11: 从第 6 次轮询开始检测卡或射频场
	0	-			保留
0F_C		ValSet		70h	手动模式参考值
	7	-	RFU	0b	
	6:0	ValSet	r/w	1110000b	手动设置无卡场强参考值
0F_D		ValDelta		0fh	场强变化范围
	7	-	RFU	0	
	6:0	ValDelta	r	0001111b	场强变化范围设置
0F_E		-	-	03h	保留
	7	-	-	-	保留
	6	-	-		保留
	5	-	-		保留
	4:3	-	-		保留
	2:0	-	-		保留
0F_F		RCCFG1		c0h	3K RC 配置 2
	7	OMEN	r/w	1b	1: 使能 OSC 监测功能 0: 关闭 OSC 监测功能
	6:0	TRIMSET	r/w	1000000b	手动设置 RCOSC 校正

0F_G		ADCVal		xx	轮询 ADC 采样值
	7	-	RFU	0b	
	6:0	VAL_ADC	r	x	ADC 采样值
0F_H		WdtCnt		26h	看门狗中断产生间隔设置
	7:0	WdtCnt	r/w	00100110b	轮询模式下，每次唤醒检卡时看门狗计数器加 1，当看门狗计数器值与 WdtCnt 相等时产生看门狗中断，同时看门狗重新计数，但是并不会唤醒芯片。
0F_I		ARI		00h	
	7:6	-	-	-	
	5:4	TK	r/w	00b	检波前端放大器控制 00/11：检波前端放大器 OFF 01：检波前端放大 10 倍 10：检波前端放大 21 倍
	3	-	-	-	
	2	ARIPol	r/w	0b	ARI 极性控制 1：ARI 低电平指示 ACD 模式下 RF 开启 0：ARI 高电平 ACD 模式下 RF 开启
	1	ARIEEn	r/w	0b	ARI 使能 1：使能，即 D1 输出 ARI 0：不使能，即不影响 D1 引脚状态
	0	ARI	r	x	ACD 模式下 RF 状态指示
0F_J		ACC	-	-	ACD 模式下监测配置是否丢失。
	7	ACCErr	r	0	0：轮询配置数据没有丢失 1：轮询配置数据丢失 仅在 ACCEn 为 1 的情况下有效。
	6	ACCEn	r/w	0	ACC 使能，在配置 ACD 寄存器时，必须先将此位清零。 0：写 55h 清零； 1：写非 55h 置 1。

	5:0	-	-	0	保留
0F_K		LPDCFG1		0fh	
	7	-	-	-	保留
	6:5	TR	r/w	00b	检波电路中的减法器增益控制字。 00: 1 倍 01: 3 倍 10: 7 倍 11: 15 倍
	4:3	TI	r/w	01b	检波电路中前段检波运放斜率控制字。 00: 0.5 01: 1 10: 1.5 11: 2
	2:0	VCON	r/w	111b	检波时 ADC 参考电压控制。通过配置此位使检波模块输出位于 ADC 量程内。 000: 1.407V 001: 1.472V 010: 1.537V 011: 1.603V 100: 1.66V 101: 1.718V 110: 1.8V 111: 1.9V
0F_L		-	-	-	保留
0F_M		RFLowDetect		08h	ACD 期间低 RF 监测配置
	7	RFLowDetectEn	r/w	0b	1: 使能 Reader 所发 RF 异常检测 0: 关闭 Reader 所发 RF 异常检测
	6:0	RFLowThreshold	r/w	0001000b	检卡时判断 RF 是否过低 阈值可选范围 0~128 阈值计算公式: RFLowThreshold

0F_N		ExRFDetect		08h	ACD 期间外部 RF 监测配置
	7	-	RFU	0	
	6:0	RFNoThreshold	r/w	0001000b	判断周围有无其他 RF 的阈值
0F_O		ACRDIRqEn		00h	ACD 相关中断使能
	7:4	-	RFU	0b	
	3	OSCMonIrqEn	r/w	0b	1:使能 OSCMonIrqEn 中断
	2	-	RFU	0b	
	1	RFLowIrqEn	r/w	0b	1: 使能 RFLowIrq 中断
	0	RFExIrqEn	r/w	0b	1: 使能 RFExIrq 中断
0F_P		ACRDIRq		00h	ACD 相关中断
	7	set3	w	0b	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
	6:4	-	RFU	0b	
	3	OSCMonIrq	dy	0b	1: OSC 连续四次唤醒失败
	2	-	RFU	0b	保留
	1	RFLowIrq	dy	0b	1: 检卡时 RF 值过低
	0	RFExIrq	dy	0b	1: 检测到外部 RF

3.2.3 7.3 PAGE1: 通信

3.2.3.1 PageReg

表 3-36 PageReg 地址: 10h 复位值: 00h

	7	6	5: 2	1	0
	UsePageSelect	RegbankSelect	RegSelect	PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w

表 7-35 PageReg 位描述

位	符号	功能
7	UsePageSelect	设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定； 设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组
5-2	RegSelect	0000: 读写 A 组寄存器； 0001: 读写 B 组寄存器； ... 1111: 读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效，此时用于指定寄存器页（即寄存器地址 A5 和 A4）

3.2.3.2 ModeReg

定义发射和接收模式的通用设置。

表 3-37 ModeReg 地址：11h 复位值：3Bh

	7	6	5	4	3	2	1	0
	MSBFirst	RFU	TxWaitR F	RFU	PolSigin	RFU	CRCPreset	
访问权限	r/w	-	r/w	-	r/w	-	r/w	r/w

表 3-38 ModeReg 位描述

位	符号	功能
7	MSBFirst	设置为 1 时，CRC 协处理器从最高位开始计算 CRC，且 CRCResultReg 中的 CRCResultMSB 和 CRCResultLSB 位是颠倒的。注意在 RF 通信中忽略该位功能
6	RFU	-
5	TxWaitRF	设置为 1 时，读卡器模式下发射机只有在自身 RF 场产生后才启动
4	RFU	
3	PolSigin	定义 MFIN 管脚的极性。设置为 1 时，MFIN 管脚高电平有效；设置为 0 时低电平有效。注意内部包络信号的编码是低电平有效的，改变该位的值会产生

		SignActIRq 中断	
2	RFU	-	
1-0	CRCPreset	定义 CalCRC 命令下 CRC 协处理器的预设值，注意在任何通信过程中，协处理器会根据 RxMode 和 TxMode 自动选择预设值	
		设置	对应 CRC 预设值
		00	0000
		01	6363
		10	A671
		11	FFFF

3.2.3.3 TxModeReg

定义发射过程的数据速率和帧格式。

表 3-39 TxModeReg 地址：12h 复位值：00h

	7	6	5	4	3	2	1	0
	TxCRCEn	TxSpeed			InvMod	TxMix	TxFraming	
访问权限	r/w	dy	dy	dy	r/w	r/w	dy	dy

表 3-40 TxModeReg 位描述

位	符号	功能	
7	TxCRCEn	设置为 1 时，数据发射过程中可以产生 CRC；仅在 106kbits/s 下可以设置为 0	
6-4	TxSpeed	定义数据传输速率。	
		设置	速率
		000	106kbits/s
		001	212kbits/s
		010	424kbits/s
		011	848kbits/s
		100	保留
		101	保留
		110	保留
		111	保留
3	InvMod	设置为 1 时，待发射数据的调制是反相的	

2	TxMix	设置为 1 时，MFIN 管脚上的信号与内部编码器的相混合	
1-0	TxFraming	定义数据传输使用的帧格式	
		设置	描述
		00	ISO/IEC 14443 A/Mifare
		01	保留
		10	保留
		11	ISO/IEC 14443 B

3.2.3.4 RxModeReg

定义接收过程的数据速率和帧格式。

表 3-41 RxModeReg 地址：13h 复位值：00h

	7	6	5	4	3	2	1	0
	RxCRCEn	RxSpeed			RxNoErr	RxMultiple	RxFraming	
访问权限	r/w	dy	dy	dy	r/w	r/w	dy	dy

表 3-42 RxModeReg 位描述

位	符号	功能	
7	RxCRCEn	设置为 1 时，数据接收过程中可以产生 CRC；仅在 106kbits/s 下可以设置为 0	
6-4	RxSpeed	定义数据传输速率。	
		设置	速率
		000	106kbits/s
		001	212kbits/s
		010	424kbits/s
		011	848kbits/s
		100	保留
		101	保留
		110	保留
		111	保留
3	RxNoErr	设置为 1 时，接收时忽略无效的数据流（少于 4bits），接收机仍继续工作，ISO 14443B 模式如果要忽略无效数据，还需将 RxSOFReq 设置为 1	

2	RxMultiple	设置为 0 时，接收机在接收完一个数据帧后关闭 设置为 1 时，可以接收多个数据帧，Receive 和 Transceive 命令不会自动终止，只能通过写其他命令（除 Receive 外）或者由主机清除该位来终止接收；读写器模块会在 FIFO 接收的数据流末尾加上一个错误信息字节（ErrorReg 的值）	
1-0	RxFraming	定义接收数据使用的帧格式	
		设置	
		00	ISO/IEC 14443 A/Mifare
		01	保留
		10	保留
	11	ISO/IEC 14443 B	

3.2.3.5 TxControlReg

控制天线驱动管脚 TX1 和 TX2 的逻辑特性。

表 3-43 TxControlReg 地址：14h 复位值：80h

	7	6	5	4	3	2	1	0
	InvTx2R FOn	InvTx1R FOn	InvTx2R FOff	InvTx1R FOff	Tx2CW	RFU	Tx2RF En	Tx1RF En
访问权限	r/w	r/w	r/w	r/w	r/w	-	r/w	r/w

表 3-44 TxControlReg 位描述

位	符号	功能
7	InvTx2RFOn	设置为 1 时，如果 TX2 驱动开启，则 TX2 管脚的输出信号反相
6	InvTx1RFOn	设置为 1 时，如果 TX1 驱动开启，则 TX1 管脚的输出信号反相
5	InvTx2RFOff	设置为 1 时，如果 TX2 驱动关闭，则 TX2 管脚的输出信号反相
4	InvTx1RFOff	设置为 1 时，如果 TX1 驱动关闭，则 TX1 管脚的输出信号反相
3	Tx2CW	设置为 1 时，管脚 TX2 持续输出未调制的 13.56MHz 载波； 设置为 0 时，Tx2CW 使能调制载波信号
2	RFU	-
1	Tx2RFEn	设置为 1 时，管脚 TX2 输出由待传输数据调制的 13.56MHz 载波
0	Tx1RFEn	设置为 1 时，管脚 TX1 输出由待传输数据调制的 13.56MHz 载波

3.2.3.6 TxAutoReg

控制天线驱动的设置。

表 3-45 TxAutoReg 地址：15h 复位值：00h

	7	6	5	4	3	2	1	0
	RFU	Force100 ASK	RFU	RFU	RFU	RFU	RFU	RFU
访问权限	-	r/w	-	-	-	-	-	-

表 3-46 TxAutoReg 位描述

位	符号	功能
7	RFU	-
6	Force100ASK	设置为 1 时，忽略 ModGsPReg 的值，强制 ASK 调制系数为 100%
5:0	RFU	-

3.2.3.7 TxSelReg

选择模拟部分的信号来源。

表 3-47 TxSelReg 地址：16h 复位值：10h

	7	6	5	4	3	2	1	0
	0	0	DriverSel		SigOutSel			
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-48 TxSelReg 位描述

位	符号	功能		
7-6	-	保留为将来使用		
5-4	DriverSel	选择 Tx1 和 Tx2 驱动的输入		
		<table border="1"> <tr> <td>设置</td> <td>描述</td> </tr> <tr> <td>00</td> <td>三态。注意设置为三态时，软掉电模式下驱动只能处于三态模式</td> </tr> </table>	设置	描述
设置	描述			
00	三态。注意设置为三态时，软掉电模式下驱动只能处于三态模式			

		01	来自内部编码器的调制信号（包络）
		10	来自 MFIN 的调制信号（包络）
		11	高电平。注意电平值取决于 InvTx1RFOn/InvTx1RFOff 和 InvTx2RFOn/InvTx2RFOff 的设置
3-0	SigOutSel	选择 MFOUT 管脚的输入	
		设置	描述
		0000	三态
		0001	低电平
		0010	高电平
		0011	TestBus 信号。由 CommTest1Reg 中的 TestBusBitSel 位定义
		0100	编码之后的待发射数据
		0101	编码之前的待发射数据
		0110	保留
		0111	解码之后的接收数据
		1000-1111	保留

3.2.3.8 RxSelReg

内部接收机设置。

表 3-49 RxSelReg 地址：17h 复位值：84h

	7	6	5	4	3	2	1	0
	UartSel		RxWait					
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-50 RxSelReg 位描述

位	符号	功能	
7-6	UartSel	选择非接触式 UART 的输入	
		设置	描述
		00	固定的低电平
		01	MFIN 的包络信号
		10	来自内部电路模拟部分的调制信号
		11	无载波的 NRZ 信号，仅在 106kbps 上有效；

5-0	RxWait	数据发射后，延迟 RxWait 个比特时间后激活接收机。在这个帧保护时间内忽略 RX 管脚上的信号。此参数用于除 Receive 外的其他命令（如 Transceive, Autocoll, MFAuthent），根据读写器模块的不同模式，RxWait 计数器的启动时间也不同。被动通信模式下计数器在发射数据流的最后一个调制脉冲后启动；主动通信模式下计数器在外部 RF 场打开后立即启动
-----	--------	---

3.2.3.9 RxThresholdReg

选择位译码器的阈值。

表 3-51 RxThresholdReg 地址：18h 复位值：84h

	7	6	5	4	3	2	1	0
	MinLevel				0	CollLevel		
访问权限	r/w	r/w	r/w	r/w	RFU	r/w	r/w	r/w

表 3-52 RxThresholdReg 位描述

位	符号	功能
7-4	MinLevel	定义输入译码器信号有效的最小强度阈值，如果信号强度低于此值，则不会被译码
3	-	保留为将来使用
2-0	CollLevel	定义输入译码器的 Manchester 编码信号中，当产生位冲突时，强度更弱的半个比特信号的最小强度阈值

3.2.3.10 DemodReg

解调电路设置。

表 3-53 DemodReg 地址：19h 复位值：4Dh

	7	6	5	4	3	2	1	0
	AddIQ		FixIQ	TPrescal Even	TauRcv		TauSync	
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-54 DemodReg 位描述

位	符号	功能
---	----	----

7-6	AddIQ	定义接收过程中 I 和 Q 通道的使用。注意在 FixIQ 为 0 时如下设置才有效	
		设置	描述
		00	选择信号值更强的通道
		01	选择信号值更强的通道并冻结
		10	I, Q 通道信号相加
		11	保留
5	FixIQ	设置为 1 且 AddIQ=x0, 则接收时固定使用 I 通道 设置为 1 且 AddIQ=x1, 则接收固定使用 Q 通道 注意如果 MFIN/MFOUT 作为 S2C 接口使用, FixIQ 要重新设置为 1, AddIQ 设置为 x0	
4	TPrescalEven	设置为 0 时, 使用下式计算预分频器的频率 fTimer: $f_{Timer} = 13.56MHz / (2 * TPreScaler + 1)$; 设置为 1 时, 使用下式计算预分频器的频率 fTimer: $f_{Timer} = 13.56MHz / (2 * TPreScaler + 2)$. (TPrescalEven 默认为 0).	
3-2	TauRev	数据接收过程中改变内部 PLL 的时间常数 注意设置为 00 时, 数据接收过程中 PLL 是冻结的	
1-0	TauSync	Brust 过程中改变内部 PLL 的时间常数	

3.2.3.11 RFU

保留为将来使用。

3.2.3.12 RFU

保留为将来使用。

3.2.3.13 MifNFCReg

目标或者卡模拟模式下 ISO 14443A/MIFARE/NFC 的具体设置。

表 3-55 MifNFCReg 地址: 1Ch 复位值: 62h

	7	6	5	4	3	2	1	0
	RFU			RFU		RFU	Txwait	
访问权限	-	-	-	-	-	-	r/w	r/w

表 3-56 MifNFCReg 位描述

位	符号	功能
7-5	RFU	-
4-3	RFU	-
2	RFU	-
1-0	Txwait	定义接收与发射之间的最小响应时间：TxWait bits + 7 bits。 最短响应时间是 7bits 长度（Txwait=0），最长 10bits（Txwait=3），如果帧的传输在最小响应时间结束前启动，读写器模块会等待最小响应时间结束后再开始发射数据； 如果帧的传输在最小响应时间结束后启动，读写器模块在数据比特同步正确（由 TxBitPhase 设置）的情况下立刻开始发射数据

3.2.3.14 ManualRCVReg

接收设置。

注意：标准应用下不建议更改此寄存器配置。

表 3-57 ManualRCVReg 地址：1Dh 复位值：00h

	7	6	5	4	3	2	1	0
	RFU	RFU	RFU	Parity Disable	RFU	RFU	RFU	
访问权限	-	-	-	r/w	-	-	-	-

表 3-58 ManualRCVReg 位描述

位	符号	功能
7	RFU	-
6	RFU	-
5	RFU	-
4	ParityDisable	设置为 1 时，关闭发射数据时奇偶校验位的产生和接收数据时奇偶校验位的检验。接收到的奇偶校验位做数据位处理
3	RFU	-
2	RFU	-
1-0	RFU	-

3.2.3.15 TypeBReg
表 3-59 TypeBReg 地址：1Eh 复位值：00h

	7	6	5	4	3	2	1	0
	RxSOF Req	RxEOF Req	0	EOFSOF Width	NoTx SOF	NoTx EOF	TxEGT	
访问权限	r/w	r/w	RFU	r/w	r/w	r/w	r/w	r/w

表 3-60 TypeBReg 位描述

位	符号	功能
7	RxSOFReq	设置为 1 时，不接收无 SOF 的数据流；清 0 后，接收有 SOF 和无 SOF 的数据流。SOF 不会被写入 FIFO
6	RxEOFReq	设置为 1 时，不接收无 EOF 的数据流，末尾无 EOF 的数据流会导致 ProtocolErr；清 0 后，接收有 EOF 和无 EOF 的数据流。EOF 不会被写入 FIFO
5	-	保留为将来使用
4	EOFSOFWidth	<p>如果设置为 1 且 EOFSOFAdjust 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最大长度；</p> <p>如果清零且 EOFSOFAdjust 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最小长度；</p> <p>如果设置为 1 且 EOFSOFAdjust 为 1，则有：</p> <p>SOF 低电平时间：$SOF_{low} = (11etu - 8cycles) / fc$</p> <p>SOF 高电平时间：$SOF_{high} = (2etu + 8cycles) / fc$</p> <p>EOF 低电平时间：$EOF_{low} = (11etu - 8cycles) / fc$，</p> <p>其中 etu 为 1 比特持续时间，cycle 为 1 个时钟周期，fc 为载波频率。</p> <p>如果设置为 0 且 EOFSOFAdjust 为 1，系统行为不符合 ISO 标准</p>
3	NoTxSOF	设置为 1 时，发射数据不产生 SOF
2	NoTxEOF	设置为 1 时，发射数据不产生 EOF
1-0	TxEGT	<p>定义字符间保护时间（EGT）的长度</p> <p>00 0bit</p> <p>01 1bit</p>

		10 2bit
		11 3bit

3.2.3.16 SerialSpeedReg

串行 UART 接口的速率设置。

表 3-61 SerialSpeedReg 地址：1Fh 复位值：EBh

	7	6	5	4	3	2	1	0
	BR_T0			BR_T1				
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-62 SerialSpeedReg 位描述

位	符号	功能
7-5	BR_T0	调整传输速率的因子 BR_T0，详见 8.3.2
4-0	BR_T1	调整传输速率的因子 BR_T0，详见 8.3.2

3.2.4 PAGE2: 配置

3.2.4.1 PageReg

表 3-63 PageReg 地址：20h 复位值：00h

	7	6	5	4	3	2	1	0
	UsePage Select	Regbank Select	RegSelect				PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-64 PageReg 位描述

位	符号	功能
7	UsePageSelect	设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定； 设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组

5-2	RegSelect	0000: 读写 A 组寄存器; 0001: 读写 B 组寄存器; ... 1111: 读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效, 此时用于指定寄存器页 (即寄存器地址 A5 和 A4)

3.2.4.2 CRCResultReg

显示 CRC 计算结果的实际最高字节和最低字节。

注意 CRC 结果分开存储在两组 8bits 寄存器当中; 若置位 ModeReg 当中 MSBFirst 位, 字节中比特顺序将颠倒, 而字节顺序不变。

表 3-65 CRCResultReg 地址: 21h 复位值: FFh

	7	6	5	4	3	2	1	0
	CRCResultMSB							
访问权限	r	r	r	r	r	r	r	r

表 3-66 CRCResultReg 位描述

位	符号	功能
7: 0	CRCResultMSB	CRCResultReg 中最高字节的实际值。仅在 Status1Reg 中的 CRCReady 为 1 时有效

表 3-67 CRCResultReg 地址: 22h 复位值: FFh

	7	6	5	4	3	2	1	0
	CRCResultLSB							
访问权限	r	r	r	r	r	r	r	r

表 3-68 CRCResultReg 位描述

位	符号	功能
7: 0	CRCResultLSB	CRCResultReg 中最低字节的实际值。仅在 Status1Reg 中的 CRCReady 为 1 时有效

3.2.4.3 GsNOffReg

天线驱动关闭时天线驱动管脚 TX1 和 TX2 的电导系数设置。

表 3-69 GsNOffReg 地址：23h 复位值：88h

	7	6	5	4	3	2	1	0
	CWGsNOff				ModGsNOff			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-70 GsNOffReg 位描述

位	符号	功能
7-4	CWGsNOff	用于负载调制，在不调制时，定义输出的 N 驱动的电导值 注意：电导值是二进制加权的；软掉电模式下 CWGsNOff 的最高位必须为 1；仅在天线驱动关闭时有效，否则将使用 GsNOnReg 中的 CWGsNOn 值
3-0	ModGsNOff	用于负载调制，在有调制时，定义输出的 N 驱动的电导值，可以用于调整调制系数 注意：电导值是二进制加权的；软掉电模式下 CWGsNOff 的最高位必须为 1；仅在天线驱动关闭时有效，否则将使用 GsNOnReg 中的 ModGsNOn 值

3.2.4.4 ModWidthReg

调制宽度的设置。

表 3-71 ModWidthReg 地址：24h 复位值：26h

	7	6	5	4	3	2	1	0
	ModWidth							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-72 ModWidthReg 位描述

位	符号	功能
7-0	ModWidth	读写器模块作为 ISO 14443A/MIFARE 读卡器时，定义 Miller 调制的脉冲宽度为 (ModWidth + 1/fc) 的倍数，最大可达半个比特持续时间，其计算如下式： 低电平时间：#clocksLOW = (ModWidth modulo 8) + 1 高电平时间：#clocksHIGH = 16 - #clocksLOW.

3.2.4.5 RFU

保留为将来使用。

3.2.4.6 RFCfgReg

接收机增益和射频场检测器的灵敏度配置。

表 3-73 RFCfgReg 地址：26h 复位值：48h

	7	6: 3	2	1	0
	RFU	RxGain	RFU		
访问权限	-	r/w	-		

表 3-74 RFCfgReg 位描述

位	符号	功能	
7	RFU	-	
6-3	RxGain	定义接收机电压增益因子	
		设置	增益
		000	18dB
		001	23dB
		010	18dB
		011	23dB
		100	33dB
		101	38dB
		110	43dB
111	48dB		
2-0	RFU	-	

3.2.4.7 GsNOnReg

天线驱动打开时天线驱动管脚 TX1 和 TX2 的电导系数设置。

表 3-75 GsNOnReg 地址：27h 复位值：88h

	7	6	5	4	3	2	1	0
--	---	---	---	---	---	---	---	---

	CWGsNOn				ModGsNOn			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-76 GsNOnReg 位描述

位	符号	功能
7-4	CWGsnOn	在不调制时，定义输出的 N 驱动的电导值；可以用于调整输出功率，从而调整电流和工作距离 注意：电导值是二进制加权的；软掉电模式下 CWGsNOn 的最高位必须为 1；仅在天线驱动打开时有效，否则将使用 GsNOffReg 中的 CWGsNOff 值
3-0	ModGsNOn	在有调制时，定义输出的 N 驱动的电导值，用于调整调制系数 注意：电导值是二进制加权的；软掉电模式下 CWGsNOn 的最高位必须为 1；仅在天线驱动打开时有效，否则将使用 GsNOffReg 中的 ModGsNOff 值

3.2.4.8 CWGsPReg

不调制时 P 驱动的电导系数设置。

表 3-77 CWGsPReg 地址：28h 复位值：20h

	7	6	5	4	3	2	1	0
	0	0	CWGsP					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-78 CWGsPReg 位描述

位	符号	功能
7-6	-	保留为将来使用
5-0	CWGSP	在不调制时，定义输出的 P 驱动的电导值，可以用于调整输出功率，从而调整电流和工作距离 注意：电导值是二进制加权的；软掉电模式下 CWGsP 的最高位必须为 1

3.2.4.9 ModGsPReg

有调制时 P 驱动的电导系数设置。

表 3-79 ModGsPReg 地址：29h 复位值：20h

	7	6	5	4	3	2	1	0
--	---	---	---	---	---	---	---	---

	0	0	ModGsP					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-80 ModGsPReg 位描述

位	符号	功能
7-6	-	保留为将来使用
5-0	ModGsP	在有调制时，定义输出的 P 驱动的电导值，可以用于调整调制系数 <i>注意：电导值是二进制加权的；软掉电模式下 CWGsP 的最高位必须为 1</i> <i>注意如果 Force100ASK 为 1，ModGsP 的值无效</i>

3.2.4.10 TMode Register, TPrescaler Register

定时器设置。

注意预分频器的值分开存储在两组 8bits 寄存器中。

表 3-81 TMode Register 地址：2Ah 复位值：00h

	7	6	5	4	3	2	1	0
	TAuto	TGated		TAuto Restart	TPrescaler_Hi			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-82 TMode Register 位描述

位	符号	功能
7	TAuto	设置为 1 时，在任何通信模式下发射完数据后自动启动定时器；或在 InitialRFOn 为 1 且 RF 场打开后自动启动定时器 如果 RxModeReg 中的 RxMultiple 为 0，在 MIFARE 和 ISO 14443B 106kb/s 模式下定时器在第 5 个比特后停止（1 个起始位，4 个数据位）；其他通信模式下定时器在第 4 个比特后停止； 如果 RxMultiple 为 1，定时器不会自动停止，需要通过置位 ControlReg 中的 TStopNow 位来终止定时器。 TAuto 设置为 0 时表示定时器不受通信协议约束
6-5	TGated	内部定时器工作在门控模式 <i>注意在门控模式下，定时器工作时 TRunning=1；TGated 不影响门控信号</i>

		设置	描述
		00	非门控模式
		01	MFIN 作门控信号
		10	AUX1 作门控信号
		11	A3 作门控信号
4	TAutoRestart	设置为 1 时，定时器自动重新从 TReloadValue 向下计数； 设置为 0 时，定时器向下计数，当递减到 0 时，产生定时中断 TimerIRQ = 1	
3-0	TPrescaler_Hi	TPrescaler 的高 4 位 如果 DemodReg 中的 TPrescalEven 位为 0，fTimer 按照下式计算： $fTimer = 13.56MHz / (2 * TPreScaler + 1)$ 其中 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo]，表示完整的 12bits TPrescaler 值；TPrescalEven 默认为 0，当 TPrescalEven 设置为 1 时： $fTimer = 13.56MHz / (2 * TPreScaler + 2)$	

表 3-83 TPrescaler Register 地址：2Bh 复位值：00h

	7	6	5	4	3	2	1	0
	TPrescaler_Lo							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-84 TPrescaler Register 位描述

位	符号	功能
7-0	TPrescaler_Lo	TPrescaler 的低 8 位 如果 DemodReg 中的 TPrescalEven 位为 0，fTimer 按照下式计算： $fTimer = 13.56MHz / (2 * TPreScaler + 1)$ 其中 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo]，表示完整的 12bits TPrescaler 值；TPrescalEven 默认为 0，当 TPrescalEven 设置为 1 时： $fTimer = 13.56MHz / (2 * TPreScaler + 2)$

3.2.4.11 TReloadReg

16bits 定时器重装值。

注意重装值分开存储在两组 8bits 寄存器当中。

表 3-85 TReloadReg (高位) 地址: 2Ch 复位值: 00h

	7	6	5	4	3	2	1	0
	TReloadVal_Hi							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-86 TReloadReg 位描述

位	符号	功能
7-0	TReloadVal_Hi	TReloadReg 的高 8 位 启动定时器时, 定时器会载入 TReloadVal 值; TReloadVal 值改变后, 在下次启动定时器时生效

表 3-87 TReloadReg (低位) 地址: 2Dh 复位值: 00h

	7	6	5	4	3	2	1	0
	TReloadVal_Lo							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-88 TReloadReg 位描述

位	符号	功能
7-0	TReloadVal_Lo	TReloadReg 的低 8 位 启动定时器时, 定时器会载入 TReloadVal 值; TReloadVal 值改变后, 在下次启动定时器时生效

3.2.4.12 TCounterValReg

定时器的当前值。

注意计数值分开存储在两组 8bits 寄存器中。

表 3-89 TCounterValReg (高位) 地址: 2Eh 复位值: xxh, xxxxxxxxb

	7	6	5	4	3	2	1	0
	TcntVal_Hi							
访问权限	r	r	r	r	r	r	r	r

表 3-90 TCounterValReg 位描述

位	符号	功能

7-0	TcntVal_Hi	定时器的当前值 TcntVal 的高 8 位
-----	------------	------------------------

表 3-91 TCounterValReg (低位) 地址: 2Fh 复位值: xxh, xxxxxxxxb

	7	6	5	4	3	2	1	0
	TcntVal_Lo							
访问权限	r	r	r	r	r	r	r	r

表 3-92 TCounterValReg 位描述

位	符号	功能
7-0	TcntVal_Lo	定时器的当前值 TcntVal 的低 8 位

3.2.5 PAGE3: 测试

3.2.5.1 PageReg

表 3-93 PageReg 地址: 30h 复位值: 00h

	7	6	5	4	3	2	1	0
	UsePage Select	Regbank Select	RegSelect				PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-94 PageReg 位描述

位	符号	功能
7	UsePageSelect	设置为 1 时, PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定; 设置为 0 时, 寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节
6	RegbankSelect	设置为 1 时, 可以读写 0Fh 寄存器组
5-2	RegSelect	0000: 读写 A 组寄存器; 0001: 读写 B 组寄存器; ... 1111: 读写 P 组寄存器

1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效，此时用于指定寄存器页（即寄存器地址 A5 和 A4）
-----	------------	--

3.2.5.2 TestSel1Reg

通用测试信号配置。

表 3-95 CommTest1Reg 地址：31h 复位值：00h

	7	6	5	4	3	2	1	0
	RFU	RFU	RFU		RFU	TestSel1Reg		
访问权限	-	-	-	-	-	r/w	r/w	r/w

表 3-96 CommTest1Reg 位描述

位	符号	功能
7-3	RFU	保留为将来使用
2-0	TestSel1Reg	从测试总线选择 TestBus 位，以传播到 MFOUT

3.2.5.3 TestSel2Reg

通用测试信号配置以及 PRBS 控制。

表 3-97 TestSel2Reg 地址：32h 复位值：00h

	7	6	5	4	3	2	1	0
	TstBusFlip	PRBS9	PRBS15	TstBusSel				
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-98 TestSel2Reg 位描述

位	符号	功能
7	TstBusFlip	设置为 1 时，测试总线按如下顺序映射到并行端口： D4, D3, D2, D6, D5, D0, D1
6	PRBS9	根据 ITU-T0150 来启动和使能 PRBS9 序列 注意所有与发射数据相关的寄存器都要按照 PRBS9 模式来配置；由 send 命令来启动指定数据序列的发射

5	PRBS15	根据 ITU-T0150 来启动和使能 PRBS15 序列 注意所有与发射数据相关的寄存器都要按照 PRBS15 模式来配置；由 send 命令来启动指定数据序列的发射
4-0	TstBusSel	选择测试总线

3.2.5.4 TestPinEnReg

使能 8bits 并行总线的管脚输出驱动。

表 3-99 TestPinEnReg 地址：33h 复位值：80h

	7	6	5	4	3	2	1	0
	RS232 LineEn	TestPinEn						
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-100 TestPinEnReg 位描述

位	符号	功能
7	RS232LineEn	设置为 0 时，禁用串行 UART 的 MX 和 DTRQ 线
6-0	TestPinEn	使能 8bits 并行接口的管脚输出驱动 例如：将第 0 位设置为 1 表示使能 D0，将第 5 位设置为 1 表示使能 D5； 注意仅在使用串行接口时有效，如果使用 SPI 接口，或者使用串行 UART 接口且 RS232LineEn=1，则只能使用 D0-D4

3.2.5.5 TestPinValueReg

当 7bits 并行端口用作 I/O 口时，定义端口值。

表 3-101 TestPinValueReg 地址：34h 复位值：00h

	7	6	5	4	3	2	1	0
	UseIO	TestPinValue						
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-102 TestPinValueReg 位描述

位	符号	功能
7	UseIO	设置为 1 时，在使用串行接口的情况下，使能 7bits 并行端口的 I/O 功能，其

		输入/输出行为由 TestPinEnReg 中的 TestPinEn 来定义，输出值由 TestPinVal 定义 注意如果 SAMClkD1 设置为 1，则 D1 不能做 I/O 口使用
6-0	TestPinValue	定义 7bits 并行端口用作 I/O 时的值。每个输出位必须由 TestPinEnReg 中的 TestPinEn 来使能 注意如果 UseIO 为 1，读 TestPinValue 得到的是管脚 D6-D0 的实际值；如果 UseIO 清 0，则读回 TestPinValueReg 的值

3.2.5.6 TestBusReg

内部测试总线的状态。

表 3-103 TestBusReg 地址：35h 复位值：xxh, xxxxxxxxh

	7	6	5	4	3	2	1	0
	TestBus							
访问权限	r	r	r	r	r	r	r	r

表 3-104 TestBusReg 位描述

位	符号	功能
7-0	TestBus	显示内部测试总线的状态，测试总线由 TestSel2Reg 选择

3.2.5.7 AutoTestReg

数字自测试相关设置。

表 3-105 AutoTestReg 地址：36h 复位值：40h

	7	6	5	4	3	2	1	0
	0	AmpRcv	EOFSOF Adjust	-	SelfTest			
访问权限	RFT	r/w	RFU	RFU	r/w	r/w	r/w	r/w

表 3-106 AutoTestReg 位描述

位	符号	功能
7	-	保留用于产品测试
6	AmpRcv	设置为 1 时，接收机内部信号处理过程是非线性的，由此可以增加 106kbts/s

		通信模式下的工作距离 注意由于信号处理的非线性，RxThresholdReg 中 MinLevel 和 CollLevel 的影响也是非线性的
5	EOFSOFAdjust	如果设置为 0 且 EOFSOFWidth 为 1，SOF 和 EOF 取 ISO 14443B 协议中定义的最大长度； 如果设置为 0 且 EOFSOFWidth 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最小长度； 如果设置为 1 且 EOFSOFWidth 为 1，则有： SOF 低电平时间： $SOF_{low} = (11etu - 8cycles) / fc$ SOF 高电平时间： $SOF_{high} = (2etu + 8cycles) / fc$ EOF 低电平时间： $EOF_{low} = (11etu - 8cycles) / fc$ ，
4	-	保留为将来使用
3-0	SelfTest	使能数字自测试。自测可以由 CommandReg 写 SelfTest 命令来开启，通过写 1001 使能；注意在默认工作模式下通过写 0000 禁止自测试

3.2.5.8 VersionReg

版本信息。

表 3-107 VersionReg 地址：37h 复位值：xxh, xxxxxxxxb

	7	6	5	4	3	2	1	0
	Version							
访问权限	r	r	r	r	r	r	r	r

表 3-108 VersionReg 位描述

位	符号	功能
7-0	Version	B2h

3.2.5.9 AnalogTestReg

AUX1 和 AUX2 管脚设置。

表 3-109 AnalogTestReg 地址：38h 复位值：00h

	7	6	5	4	3	2	1	0
--	---	---	---	---	---	---	---	---

	AnalogSelAux1				AnalogSelAux2			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 3-110 AnalogTestReg 位描述

位	符号	功能	
7-4	AnalogSelAux1	控制 AUX 管脚	
3-0	AnalogSelAux2	设置	描述
		0000	三态
		0001	TestDAC1 (AUX1) 的输出, TestDAC2 (AUX2) 的输出 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0010	Testsignal Corr1 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0011	Testsignal Corr2 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0100	Testsignal MinLevel <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0101	ADC I 通道 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0110	ADC Q 通道 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0111	ADC I, Q 通道结合 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		1000	产品测试 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		1001	SAM 时钟 (13.56MHz)
		1010	高电平
		1011	低电平
		1100	TxActive 106kbits/s 时: 起始位、数据位、奇偶校验位、CRC 时为高; 212/424kbits/s 时: 前导码、同步字节、数据和 CRC 时为高 RxActive 106kbits/s 时: 数据位、奇偶校验位、CRC 时为高; 212/424kbits/s

		1101	时：数据和 CRC 时为高 副载波检测
		1110	106kb/s 时：不支持；212/424kb/s 时：前导码最后部分、同步字节、数据、CRC 时为高
		1111	由 CommTest1Reg 中的 TestSel1Reg 位定义测试总线

3.2.5.10 TestDAC1Reg

TestDAC1 的测试值。

表 3-111 TestDAC1Reg 地址：39h 复位值：xxh, 00xxxxxb

	7	6	5	4	3	2	1	0
	0	0	TestDAC1					
访问权限	RFT	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-112 TestDAC1Reg 位描述

位	符号	功能
7	-	保留用于产品测试
6	-	保留为将来使用
5-0	TestDAC1	定义 TestDAC1 的测试值。通过将 AnalogTestReg 中的 AnalogSelAux1 设置为 0001，可使 DAC1 的输出转换到 AUX1

3.2.5.11 TestDAC2Reg

TestDAC2 的测试值。

表 3-113 TestDAC2Reg 地址：3Ah 复位值：xxh, 00xxxxxb

	7	6	5	4	3	2	1	0
	0	0	TestDAC2					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 3-114 TestDAC2Reg 位描述

位	符号	功能
7-6	-	保留为将来使用

5-0	TestDAC2	定义 TestDAC2 的测试值。通过将 AnalogTestReg 中的 AnalogSelAux2 设置为 0001，可使 DAC2 的输出转换到 AUX2
-----	----------	--

3.2.5.12 TestADCReg

ADC I 通道和 Q 通道的实际值。

表 3-115 TestADCReg 地址: 3Bh 复位值: xxh, xxxxxxxxb

	7	6	5	4	3	2	1	0
	ADC_I				ADC_Q			
访问权限	r	r	r	r	r	r	r	r

表 3-116 TestADCReg 位描述

位	符号	功能
7-4	ADC_I	ADC I 通道的实际值
3-0	ADC_Q	ADC Q 通道的实际值

3.2.5.13 RFTReg

保留为将来使用。

3.3 数字接口

3.3.1 微控制器接口自动检测

读写器模块支持可直接相连的各种微控制器接口类型，如 SPI，I2C 和串行 UART。在上电或硬复位后，读写器模块复位自身的接口并自动检测当前主机的接口类型。因为每种接口有其固定的管脚连接，读写器模块可以通过检测这些管脚的逻辑电平从而分辨出复位后的接口类型。下表列出了不同的连接配置：

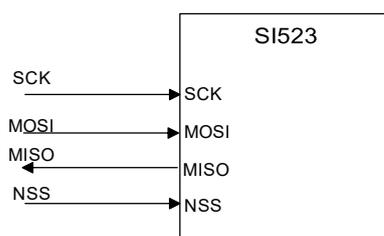
表 3-117 不同接口类型的检测

引脚	接口类型		
	UART（输入）	SPI（输出）	I2C（输入/输出）
SDA	RX	NSS	SDA
I2C	0	0	1
EA	0	1	EA
D7	TX	MISO	SCL
D6	MX	MOSI	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5

3.3.2 SPI

读写器模块支持串行外围接口（兼容 SPI）来达到与主机的高速通信，数据速率最高可达 10Mbps/s。当与主机通信时，读写器模块作为从机，从主机处接受寄存器设置，与主机交互射频接口通信相关的数据。

兼容 SPI 的接口同样可以在读写器模块和微控制器之间建立高速串行通信，接口的处理与 SPI 标准相同。


图 3-7 SPI 接口

读写器模块在 SPI 通信中作从机，SPI 的时钟信号 SCK 由主机产生，数据通过 MOSI 线从主机传输到从机，通过 MISO 线从从机传输到主机。两条线上传输数据字节时都是高位在先，且数据在时钟上升沿时需要保持稳定，在下降沿时可以改变。

3.3.2.1 SPI 读数据

用 SPI 读数据需要如下表的字节顺序，注意是先发送最高位。其中第一个字节定义了模式和地址：

表 3-118 MOSI 和 MISO 字节顺序

线名	字节 0	字节 1	字节 2	...	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	...	地址 n	00
MISO	X*	数据 0	数据 1	...	数据 n-1	数据 n

注：X=任意值；先传输 MSB。

3.3.2.2 SPI 写数据

用 SPI 向读写器模块写数据需要如下表的字节顺序，其中第一个字节定义了模式和地址：

表 3-119 MOSI 和 MISO 字节顺序

线名	字节 0	字节 1	字节 2	...	字节 n	字节 n+1
MOSI	地址 0	数据 0	数据 1	...	数据 n-1	数据 n
MISO	X*	X*	X*	...	X*	X*

注：X=任意值；先传输 MSB。

3.3.2.3 SPI 地址字节

地址字节需要满足如下表的形式：

表 3-120 地址字节 0 寄存器；MOSI

7 (MSB)	6: 1	0 (LSB)
1=读/0=写	地址	0

第一个字节的最高位定义了所使用的模式，如果是从读写器模块读数据则最高位为 1；如果是向读写器模块写数据则最高位为 0。6-1 位给出地址，最低位设置为 0。

3.3.3 UART

3.3.3.1 与主机的连接

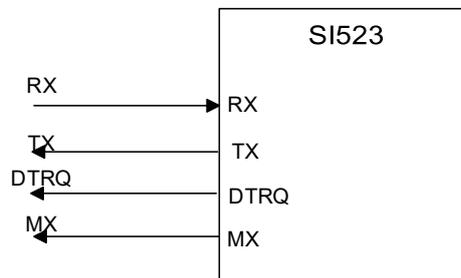


图 3-8 UART 接口

注意：DTRQ 和 MX 信号可以通过清除 TestPinEnReg 寄存器的 RS232LineEn 位来屏蔽。

3.3.3.2 可选的传输速率

读写器模块内部 UART 接口与 RS232 串行接口兼容，默认的传输速率是 8.6kBd，由主机写 SeriaSpeedReg 寄存器可以改变传输速率，其中 BR_T0[2:0]和 BR_T1[4:0]与速率设置有关，如下表所示：

表 3-121 BR_T0 和 BR_T1 设置

BR_Tn	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
BR_T0	1	1	2	4	8	16	32	64
BR_T1	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

例：不同传输速率及其相关寄存器设置如下表。

表 3-122 可选的 UART 传输速率

传输速率 (kBd)	SeriaSpeedReg 寄存器值		速率精确度 (%) *
	十进制表示	十六进制表示	

7.2	250	FAh	-0.25
8.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

注*：上述传输速率实际误差均小于1.5%。

表中可选传输速率是根据如下公式所计算：

BR_T0[2:0]=0 时：

$$transforspeed = \frac{27.12 \times 10^6}{(BR_T0 + 1)}$$

BR_T0[2:0]>0 时：

$$transforspeed = \frac{27.12 \times 10^6}{\frac{(BR_T1 + 33)}{2^{(BR_T0 - 1)}}}$$

3.3.3.3 UART 帧格式

表 3-123 UART 帧

Bit	长度	值
起始位	1bit	0
数据位	8bits	数据
停止位	1bit	1

注意：对于数据和地址字节，要先传输最低位，发送数据时不加奇偶校验位。

如果要使用 UART 接口读数据，需使用如下表顺序。由发送的第一个字节定义所用模式及地址。

表 3-124 读数据字节顺序

引脚	字节 0	字节 1
RX	地址	-
TX	-	数据 0

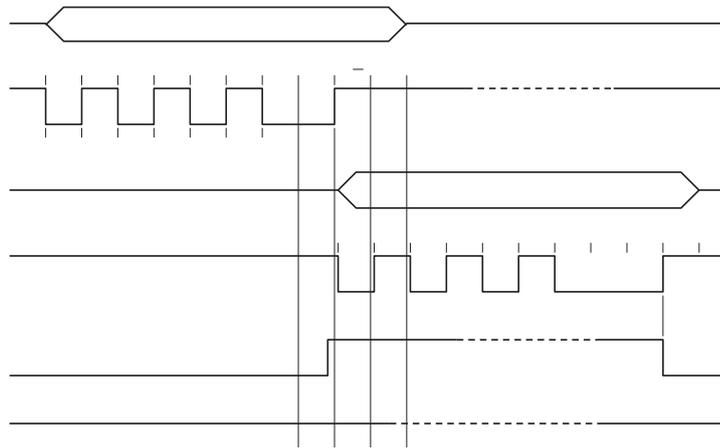
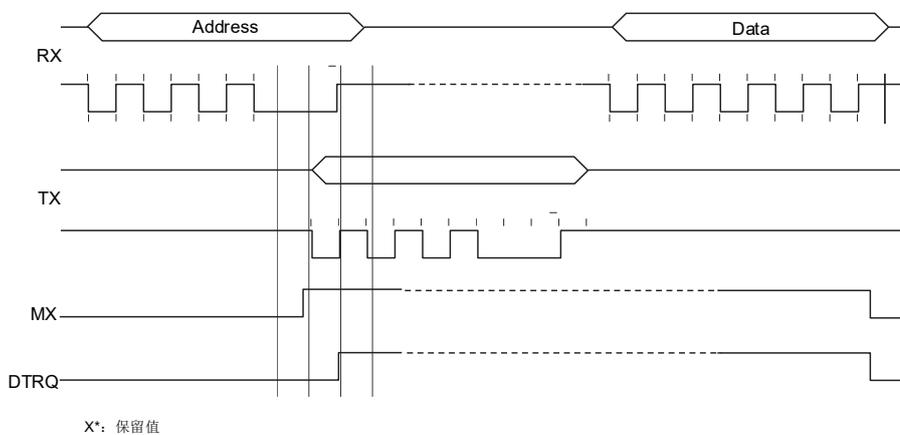


图 3-9 UART 读数据时序图

如果要使用 UART 接口向读写器模块写数据，则需要使用如下表的结构。由发送的第一个字节定义所用模式及地址。

表 3-125 写数据字节顺序

引脚	字节 0	字节 1
RX	地址 0	数据 0
TX	-	地址 0



X*: 保留值

图 3-10 UART 写数据时序图

注意：引脚 RX 传输地址字节后，可以直接传输数字字节。

地址字节需要满足如下形式：

由第一个字节的最高位设置所用的模式，如果要从读写器模块读数据，则最高位设为 1；要向读写器模块写数据，则最高位设为 0。第六位保留为将来使用，5-0 位定义地址。

表 3-126 地址字节 0 寄存器：MOSI

7 (MSB)	6	5: 1	0 (LSB)
1=读/0=写	保留	地址	

3.3.4 I²C

I²C 总线是一种低功耗、低管脚占用的串行总线接口，其实现符合 I²C-bus interface specification, rev. 2.1, January 2000 规定。该接口只能工作在 Slave 模式，因此此时读写器模块不产生时钟，也不进行访问仲裁。

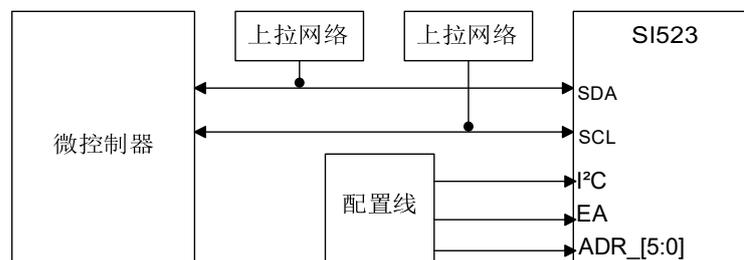


图 3-11 I²C 总线接口

读写器模块可以作为标准模式、快速模式和高速模式下的从机接收端或者从机发射端。

SDA 是接电流源或上拉电阻的正电源的双向数据线。在无数据传输时，SDA 与 SCL 线均为高电平。读写器模块有三态输出模拟用于实现线与功能。标准模式下 I²C 总线上的数据传输速率高达 100kBd；快速模式下高达 400kBd；高速模式下高达 3.4Mbits/s。

如果选择 I²C 总线接口，SCL 和 SDA 线上的毛刺抑制符合 I²C 总线接口规则。

3.3.4.1 数据有效性

SDA 线上的数据在时钟为高时需要保持稳定; 仅当 SCL 上时钟信号为低时, 数据线上的状态才能改变。

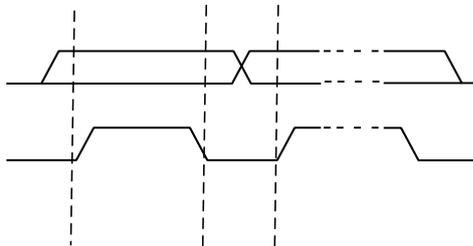


图 3-12 I2C 总线比特传输

3.3.4.2 起始和停止条件

为管理 I²C 总线上的数据传输, 本节定义了 START (S) 与 STOP (P) 条件:

- (1) 起始条件 START: 当 SCL 为高时, SDA 线上由高变低的跳变。
- (2) 停止条件 STOP: 当 SCL 为高时, SDA 线上由低变高的跳变。

起始和停止条件由 I²C 主机产生, 产生起始条件后认为主机处于繁忙状态; 停止条件结束后主机回到空闲状态。

如果在起始条件后, 产生重复起始条件 (Sr) 而非停止条件, 则认为总线仍处于繁忙状态。起始 (S) 和重复起始 (Sr) 条件的功能完全相同, 因此都用符号 S 表示。

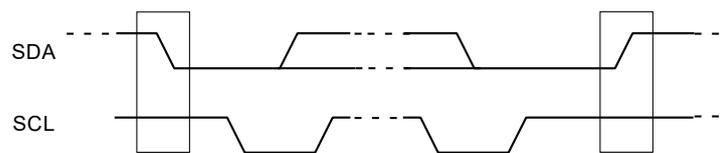


图 3-13 起始和停止条件

3.3.4.3 字节格式

每个字节后需要跟一个应答位, 传输字节时最高位在前, 如下图 3-14; 在一次数据传输当中, 传输的字节数无限制但是必须满足读写周期格式。

3.3.4.4 应答

每个数据字节结束后会再传输一个应答位 (Acknowledge), 与应答相关的时钟脉冲由主机产生。在应答周期内, 数据的发送方 (主机或从机) 将释放 SDA 线 (高电平), 接收方拉低 SDA 线使其在应答时钟脉冲为高时, SDA 保持在低电平。

主机可以通过产生停止条件来终止传输; 也可以通过产生重复起始条件来开启一次新的传输。

主机接收端通过在最后一个字节不产生应答来告知从机发射端数据的结束; 从机发射端释放数据线, 从而使主机可以产生停止条件或重复起始条件。

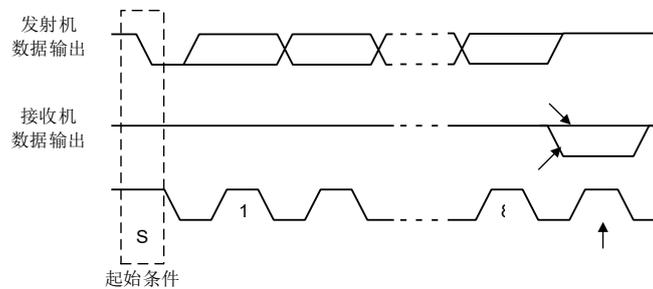


图 3-14 I2C 总线应答位

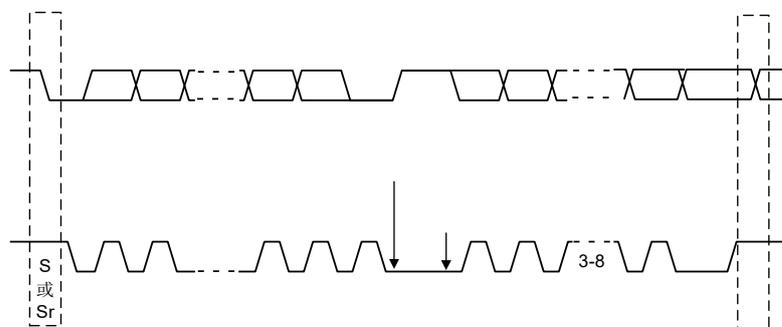


图 3-15 I2C 总线数据传输示意图

3.3.4.5 7 位寻址

I²C 寻址过程中, 起始条件后的第一个字节用来决定主机选择哪一个从机进行通信。

I²C 总线规范中有多个地址保留, 在配置设备时, 设计者需确保不会与保留地址产生冲突。

I²C 总线地址规范与 EA 管脚的定义有关。在释放 NRSTPD 管脚或上电复位后，芯片立刻通过 EA 管脚来获得 I²C 总线的地址。如果 EA 为低电平，芯片总线地址的高 4 位设置为 0101b，从机地址的剩余 3 位 (ADR_0, ADR_1, ADR_2) 可以由用户自由配置以防与其他 I²C 总线设备发生冲突；如果 EA 为高电平，ADR_0-ADR_5 完全由外部管脚来决定，而 ADR_6 始终设置为 0。

两种模式下外部地址编码都在释放复位条件后立刻锁定，不考虑此后所用管脚产生的变化。通过外部连线，I²C 总线地址端口还可以用做测试信号的输出。

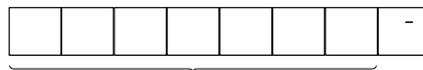


图 3-16 起始条件后的第一个字节

3.3.4.6 寄存器写访问

要通过 I²C 总线，由主机写读写器模块的特殊功能寄存器，需使用如下帧格式：

1. 由帧的第一个字节指定设备地址（遵循 I²C 总线规范）；
2. 由帧的第二个字节指示寄存器地址；其后是 n 个数据字节。

在一个数据帧中，所有数据字节要写入同一寄存器地址，实现 FIFO 的快速访问。读/写标志位 (R/\overline{W}) 应清 0。

3.3.4.7 寄存器读访问

要读读写器模块某个地址的特殊功能寄存器，主机必须遵循如下步骤：

- 1) 首先按下图的帧格式写入指定寄存器的地址；
- 2) 由帧的第一个字节指定设备地址（遵循 I²C 总线规范）；
- 3) 由帧的第二个字节指示寄存器地址，不加数据字节；
- 4) 读/写标志位为 0。

上述写访问后才开始读访问。主机发送读写器模块的设备地址，作为响应读写器模块将发回相应寄存器的内容。一帧中所有数据字节都从同一个寄存器地址读出，以此实现 FIFO 的快速访问或者寄存器的查询。

3.3.4.10 高速模式下的串行数据传输格式

高速模式下串行数据的传输满足 I²C 总线标准模式的规范：

1. 起始条件 (S)
2. 8-bits 主机代码 (00001xxx, xxx 为任意值)
3. 应答位取反 (\bar{A})

当高速模式开始时,主机发送重复起始条件与带读/写标志的 7-bit 从机地址,然后从被选中的读写器模块处接收到应答位 (A)。

下一个重复起始条件后,数据仍以高速模式进行传输,只有在停止条件后才切换回 F/S 模式。为降低主机的代码开销,主机可以通过重复起始条件来连接大量的高速模式传输。

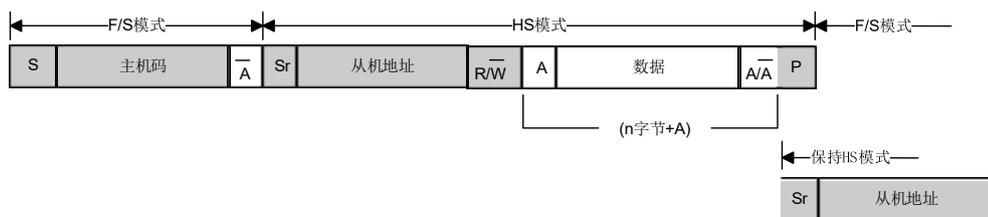


图 3-18 I2C 总线 HS 模式协议转换

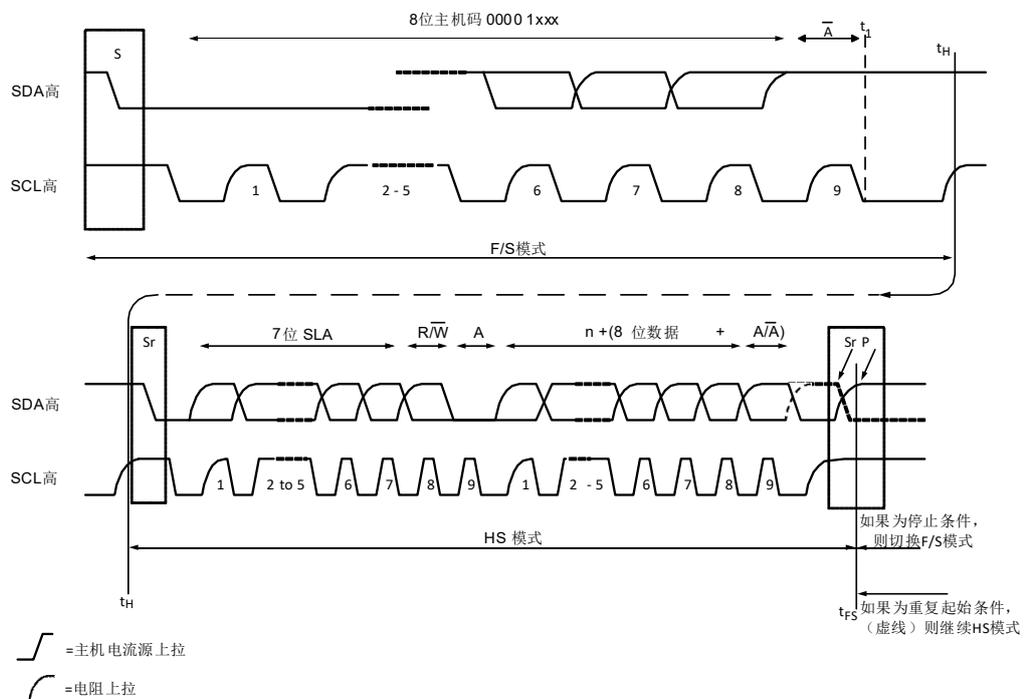


图 3-19 I2C 总线 HS 模式协议帧

3.3.4.11 F/S 模式与 HS 模式间的转换

复位和初始化后,读写器模块处于快速模式(因快速模式向下兼容标准模式,实际上称作 F/S 模式)。连接总线的读写器模块可以识别“S 00001xxxx A”序列并将内部电路设置从快速模式转换到高速模式。

读写器模块将执行下述操作:

1. 将 SDA 和 SCL 输入滤波器按照毛刺抑制的要求设置为高速模式;
2. 调整 SDA 输出级的斜率控制。

如果将 Status2Reg 的 I²CForceHS 位设置为 1,在不与其他 I²C 总线设备通信的情况下,系统配置可以长期保持在高速模式下,此后无需再发主机代码。这部分内容未在总线规范中定义,必须在总线上没有连接其他设备时才能使用。此外,由于毛刺抑制减弱,总线上必须避免出现毛刺。

3.3.4.12 F/S 模式下的读写器模块

读写器模块完全向下兼容 F/S 模式的 I²C 总线系统。因配置中未收到主机代码,设备会保持在 F/S 模式并以 F/S 模式的速率进行数据传输。

3.4 模拟接口与非接触式 UART

3.4.1 概述

集成的非接触式 UART 支持以高达 848kBd 的速率与外部主机进行通信，用以满足协议的帧和差错校验的要求。为调制和解调通信接口 MFIN 管脚和 MFOUT 管脚上的数据，芯片需要连接其他外围电路。

非接触式 UART 可以与主机协同处理通信协议的要求，包括面向比特或字节的帧，此外还支持基于各通信协议的错误检测，如奇偶校验和 CRC。

注意：天线的尺寸、调谐和电源电压对芯片可达到的工作距离有较大影响。

3.4.2 TX 驱动

TX1 和 TX2 管脚发送的信号是由包络调制后的 13.56MHz 载波信号。可以使用一些无源器件进行匹配和滤波，从而直接驱动天线。TX1 和 TX2 上的信号可以由 TxControlReg 配置。

调制系数可以通过调整驱动的阻抗来进行配置。P 驱动的阻抗可以由 CWGsPReg 和 ModGsPReg 配置；N 驱动的阻抗可以由 GsNReg 配置。调制系数还与天线的设计与调谐有关。

信息传输期间的数据速率和帧，以及天线驱动设置由 TxModeReg 和 TxSelReg 寄存器控制，用以满足不同模式和速率下的通信要求。

表 3-127 控制 TX1 管脚信号的寄存器设置

Tx1RFEn 位	Force 100ASK 位	InvTx1RF On 位	InvTx1RF Off 位	Envelope	TX1 管脚	GSPMos	GSNMos	备注
0	X*	X*	X*	X*	X*	CWGsNOff	CWGsNOff	RF 关闭
1	0	0	X*	0	RF	pMod	nMod	100%ASK ：管脚 TX1 下拉到逻辑 0，不受 InvTx1RFO
				1	RF	pCW	nCW	
	0	1	X*	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
1	1	1	X*	0	0	pMod	nMod	

				1	RF_n	pCW	nCW	ff 位影响
--	--	--	--	---	------	-----	-----	--------

X*: 任意值

表 3-128 控制 TX2 管脚信号的寄存器设置

Tx1RF En 位	Force 100ASK 位	Tx2CW 位	InvTx2R FOn 位	InvTx2R FOff 位	Envelope	TX2 管脚	GSPMos	GSNMos	备注	
0	X*	X*	X*	X*	X*	X*	CWGsNO ff	CWGsNO ff	RF 关闭	
1	0	0	0	X*	0	RF	pMod	nMod	-	
			1	X*	0	RF_n	pCW	nCW		
			0	X*	X*	RF	pCW	nCW		
			1	X*	X*	RF_n	pCW	nCW		
	1	0	0	0	X*	0	0	pMod	nMod	100%ASK : 管脚 TX2 下拉到逻辑 0, 不受 InvTx2RFO n/InvTx2RF Off 位影响
				1	X*	0	0	pMod	nMod	
		1	0	0	X*	X*	RF	pCW	nCW	
				1	X*	X*	RF_n	pCW	nCW	
				0	X*	X*	RF	pCW	nCW	
				1	X*	X*	RF_n	pCW	nCW	

X*: 任意值

表格中采用的缩写说明如下:

- RF: 13.56MHz 时钟, 由 27.12MHz 石英晶振二分频产生;
- RF_n: 反相的 13.56MHz 时钟;
- GSPMos: PMOS 阵列的电导配置;
- GSNMos: NMOS 阵列的电导配置;
- pCW: 由 CWGsPReg 寄存器定义的, 发射连续载波信号时 PMOS 电导值;
- pMod: 由 ModGsPReg 寄存器定义的, 调制时的 PMOS 电导值;
- nCW: 由 GsNReg 寄存器 CWGsN[3:0]位定义的, 发射连续载波信号时

NMOS 电导值;

- nMod: 由 GsNReg 寄存器 ModGsN[3:0]位定义的, 调制时的 NMOS 电导值;
- X: 任意值。

注意: 如果只打开一个天线驱动, CWGsPReg、ModGsPReg 和 GsNReg 寄存器的值仍将同时用于两个驱动。

3.4.3 串行数据转换器

读写器模块中实现了两个主要模块, 其中数字模块由状态机、编解码逻辑组成, 模拟模块则由调制器和天线驱动, 接收电路和放大器组成。两个模块之间的接口信号可以由 MFIN 和 MFOUT 管脚传输。MFIN 可以处理 424kbit 以上的数字 NFC 信号, MFOUT 可以与外部电路结合使用来产生 424kbit 以上速率 (也包括 106,212,424kbit) 的数字信号。此外, 在读写器模块与安全 IC 共同实现卡模拟功能时, MFOUT 和 MFIN 也能用于实现卡 SAM 模式的 S²C 接口。

此拓扑结构允许读写器模块的模拟模块连接到另一设备的数字模块。

串行数据的转换由 TxSelReg 和 RxSelReg 寄存器控制, 图示 TX1 和 TX2 上的串行数据转换。

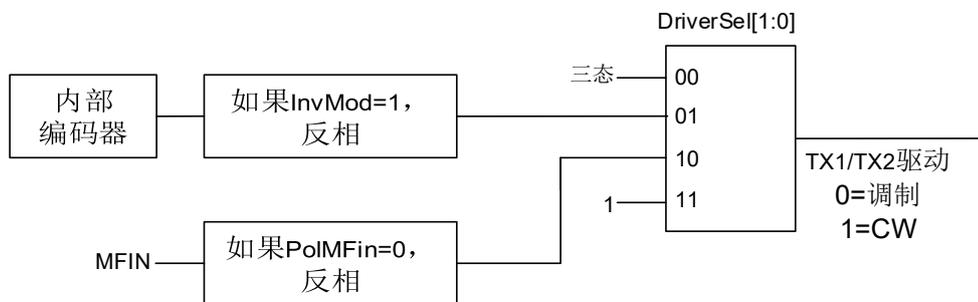


图 3-20 TX1 和 TX2 串行数据转换

3.4.4 CRC 协处理器

可配置的 CRC 协处理器参数如下:

- ◇ CRC 预设值: 可为 0000h, 6363h, A671h 或 FFFF h, 具体取决于 ModeReg 寄存器的 CRCPreset[1:0]设置;
- ◇ 16 位 CRC 多项式: $x^{16}+x^{12}+x^5+1$;
- ◇ CRC 的计算结果由 CRCResultReg 寄存器指示, 此寄存器分为两组 8 位

寄存器，分别存储结果的高低字节；

- ◇ ModeReg 寄存器的 MSBfirst 位指示数据将首先从 MSB 开始载入。

表 3-129 CRC 协处理器参数

参数	说明
CRC 寄存器长度	16 位
CRC 算法	ISO/IEC 14443A 和 ITU-T 所规定的算法
CRC 预设值	ModeReg 寄存器的 CRCPreset[1:0]决定： 0000h, 6363h, A671h 或 FFFF h

3.5 FIFO

读写器模块使用 8×64bits FIFO 缓冲器，为主机和读写器模块内部状态机之间的输入输出数据流提供缓冲，使得在处理小于 64 字节的数据流时无需考虑主从机通信的时间约束。

3.5.1 FIFO 存取

FIFO 输入输出总线与 FIFODataReg 相连，每写一次该寄存器，会向 FIFO 中存储 1 字节并将 FIFO 写指针加一；每读一次该寄存器，会取出 FIFO 读指针对应位置的内容并将读指针减一。写指针与读指针的距离可以通过读 FIFOLevelReg 得到。

当微控制器启动一个命令时，读写器模块可以在命令执行期间根据命令要求存取 FIFO，只有一组缓冲器可以实现主从机间的输入输出，此时微控制器不能以其他方式访问 FIFO。

3.5.2 FIFO 控制

将 FIFOLevelReg 的 FlushBuffer 位置 1 可以重置 FIFO 的指针，与此同时 FIFOLevel[6:0]会置 0、ErrorReg 中的 BufferOvfl 位会被清除，此前存储在 FIFO 中字节不能再访问，但是可以存入其他 64 字节。

3.5.3 FIFO 状态信息

主机可以获得如下 FIFO 状态信息：

- 1) 存储在 FIFO 中的字节数：由 FIFOLevelReg 中的 FIFOLevel[6:0]可得
- 2) FIFO 上溢警告：由 Status1Reg 的 HiAlert 位可得；
- 3) FIFO 下溢警告：由 Status1Reg 的 LoAlert 位可得；
- 4) FIFO 溢出（已满但仍有字节写入）警告：由 ErrorReg 的 BufferOvfl 位可得。BufferOvfl 只能由设置 FIFOLevelReg 的 FlushBuffer 位来清 0。

读写器模块在如下情况可以产生中断信号：

- (1) ComIEnReg 的 LoAlertIEn=1 时，当 Status1Reg 的 LoAlert 位变为 1 时激活管脚 IRQ；

(2) ComIEnReg 的 HiAlertIEn=1 时，当 Status1Reg 的 HiAlert 位变为 1 时激活管脚 IRQ。

如果 FIFO 中剩余的空间小于 WaterLevel，HiAlert 将置 1:

$$HiAlert = (64 - FIFOLength) \leq WaterLevel$$

如果 FIFO 中存储的字节少于 WaterLevel，LoAlert 将置 1:

$$LoAlert = FIFOLength \leq WaterLevel$$

3.6 中断请求系统

读写器模块通过 Status1Reg 寄存器的 IRq 位（或者激活的 IRQ 管脚）来指示某些事件的发生，IRQ 管脚上信号可以对主机产生中断，为高效主机软件的实现提供中断处理能力。

3.6.1 中断源概览

下表列出了可用的中断位，对应的中断源及其激活条件。如 ComIRqReg 寄存器的 TimerIRq 中断位指示定时器单元产生的中断，当定时器从 1 减至 0 时置 1。

ComIRqReg 寄存器的 TxIRq 表示发射已经完成，如果芯片状态由发数变为传输帧结束模式，发射机将自动置位此中断位。CRC 处理器在处理完 FIFO 中的所有数据后（标志：CRCReady=1），将 DivIRqReg 寄存器的 CRCIRq 置 1。ComIRqReg 寄存器的 RxIRq 则表示检测到接收数据结束时的中断。ComIRqReg 寄存器的 IdleIRq 在当前命令完成且 CommandReg 中 Command[3:0]变为空闲值时置 1。

ComIRqReg 的 HiAlertIRq 在 Status1Reg 寄存器的 HiAlert 为 1 时置 1，即 FIFO 存储的内容已经达到 WaterLevel[5:0]规定值；ComIRqReg 的 LoAlertIRq 在 Status1Reg 寄存器的 LoAlert 为 1 时置 1，即 FIFO 存储的内容已经达到 WaterLevel[5:0]规定值。

ComIRqReg 寄存器的 ErrIRq 表示 UART 在发送接收期间检测到错误，当 ErrorReg 中任意位为 1 时置 1。

表 3-130 中断源

中断标志	中断源	触发条件
TimerIRq	定时单元	定时器从 1 变为 0
TxIRq	发射机	从发射数据状态转变为发射 EOF 时，发射机自动置位 TxIRq
CRCIRq	CRC 协处理器	CRC 协处理器处理完 FIFO 中的数据后（由 CRCReady=1 表示处理完毕）置位 CRCIRq
RxIRq	接收机	检测到接收帧的 EOF 后产生

IdleIRq	ComIRqReg	命令执行完毕，且 CommandReg 中 Command[3:0]变为空闲时产生
HiAlertIRq	FIFO	FIFO 达 WaterLevel[5:0]，且 HiAlert 置位时产生
LoAlertIRq	FIFO	FIFO 达 WaterLevel[5:0]，且 LoAlert 置位时产生
ErrIRq	非接触式 UART	在非接触式 UART 发射或接收过程中检测到错误时产生
CardIRq	ACD	检测到卡
RFEExIRq	ACD	检测到其他 13.56 Mhz RF 源
RFlowIRq	ACD	自身所发 RF 过低
OscMonIRq	OSC 监测	OSC 连续 4 次起振失败
WdtIRq	看门狗	看门狗计时达到所设时间
ACCerr	数据监测	轮询时配置数据丢失

3.7 定时器

读写器模块中实现了定时单元，外部主机控制器可以通过定时器来管理与计时相关的任务。定时器可以用作如下配置：

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程单触发器
- 周期触发器

定时单元可用于测量两个事件之间的时间间隔，或者定时产生特殊事件。定时器可以由下述事件触发，但不会影响任何内部事件（例如：数据接收过程中发生超时不会自动对接收产生影响）。此外，设置定时器相关的寄存器可以用于产生中断。

定时器的输入时钟频率为 13.56MHz（由 27.12MHz 晶振产生），由两部分组成：预分频器和计数器。预分频器是一个 12bits 计数器，其重装值 `TPrescaler` 可定义在 0-4095 范围内；16bits 计数器的重装值 `TReload` 则可定义在 0-65535 范围内。定时器的当前值可由 `TCounterValReg` 得到。

当计数器减到 0 时，会自动产生定时中断，其标志是 `CommIRqReg` 中的 `TimerIRq` 位，如果使能定时中断请求，中断事件会传播到 `IRQ` 管脚。`TimerIRq` 可以由主机置位或清除。定时器会根据配置，在计数到 0 时终止或是重新载入 `TReload` 的值。

定时器的状态由 `Status1Reg` 中的 `TRunning` 位指示。

定时器可以通过 `ControlReg` 中的 `TStartNow` 手动开启，也可以由 `TStopNow` 手动关闭；此外定时器可由 `TMode Register` 中的 `TAuto` 自动激活，以此自动满足通信协议的要求。

定时器每阶段的时延是重装值+1，如果 `TPrescaleEven` 为 0，总时间定义为：

$$(TPrescaler*2+1)*(TRload+1)/13.56MHz$$

如果 `TPrescaleEven` 为 1，总时间定义为：

$$(TPrescaler*2+2)*(TRload+1)/13.56MHz。$$

最长时间时的配置：TPrescaler = 4095，TReloadVal = 65535；最长时间：
 $(2*4095+2)*65536/13.56\text{MHz} = 39.59\text{s}$

例：产生 25us 的定时需要计数 339 个时钟周期，也就是说 TPrescaler 要设置为 169，此时定时器信号可作为 25us 的时钟信号，定时器可以计数至多 65535 个 25us 的时隙。

3.8 低功耗模式

3.8.1 硬掉电

当管脚 NRSTPD 为低电平时，启动硬掉电模式，此模式下将关闭包括振荡器在内的所有内部电流驱动，所有数字输入缓冲器的值与输入引脚分离并固定（除了 NRSTPD 管脚），输出引脚冻结在高电平或者低电平。

3.8.2 软掉电

CommandReg 的 PowerDown 位置 1 后，即启动软掉电模式，此模式下所有的内部电流驱动关闭，但数字输入缓冲器并不会和输入引脚分隔，仍保留其功能；输出引脚的状态不变。

软掉电模式下，所有寄存器，FIFO，配置都将保持在当前值。

PowerDown 位设为 0 后并不会马上被清除，从软掉电模式退出还需要 1024 个时钟周期的时间，退出软掉电模式后读写器模块会自动将此位清 0。

注意：如果使用内部振荡器，必须考虑到其由 AVDD 管脚提供，使振荡器达到稳定，时钟可被内部逻辑检测到需要一定的时间（ t_{osc} ）。建议用串行 UART 先发送值 55h 到读写器模块，因为在访问寄存器前振荡器必须达到稳定，读地址 0 直到读写器模块以地址 0 的寄存器内容响应读命令，此时读写器模块振荡器已经稳定。

3.8.3 发射机掉电

发射机掉电模式下，内部天线驱动关闭，从而射频场关闭。通过将 TxControlReg 的 Tx1RFEn 或 Tx2RFEn 置 0 来进入发射机掉电模式。

3.9 振荡器电路

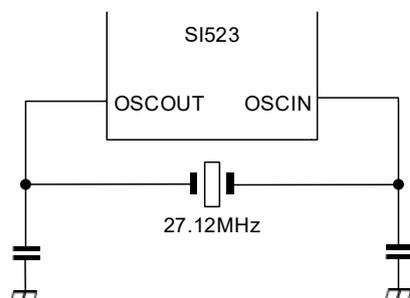


图 3-21 晶振连接

读写器模块的时钟为系统的同步编码解码器提供时间基准。时间频率的稳定是正常工作的重要因素之一，为获得最优性能，必须尽可能减少时钟抖动，最好使用内部振荡器缓冲电路来实现。

如果使用外部时钟源，时钟信号必须连在 OSCIN 管脚上，此时必须关注时钟占空比及时钟抖动情况，以保证时钟信号的质量。

3.10 复位及振荡器启动时间

3.10.1 复位时间要求

复位信号在进入数字电路之前，要先经过迟滞电路和毛刺滤波器。毛刺滤波器能滤掉短于 10ns 的信号，为执行复位，复位信号的低电平至少要保持 100ns。

3.10.2 振荡器启动时间

如果读写器模块处于软掉电模式，或者由 VDDX 供电，则其启动时间取决于所用的振荡器，如图所示。

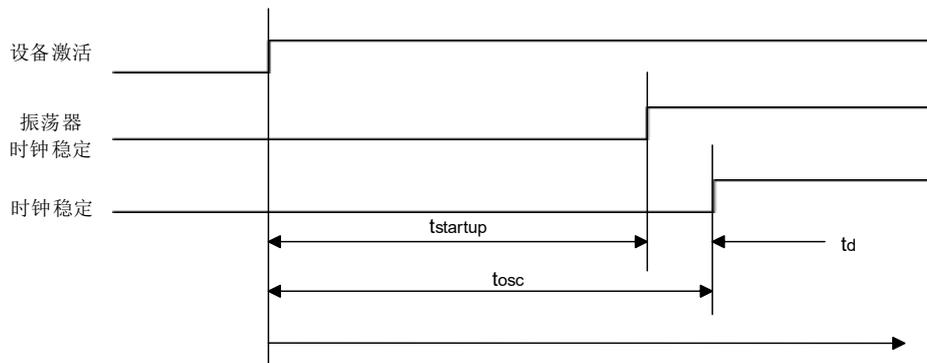


图 3-22 振荡器启动时间

$t_{startup}$ 是晶振的启动时间， t_d 是读写器模块的内部延迟时间，即在读写器模块可以被寻址之前时钟信号达到稳定的时间。

延迟时间可以按下式计算：

$$t_d = \frac{1024}{27 \mu s} = 37.74 \mu s$$

t_{osc} 是 t_d 和 $t_{startup}$ 之和。

3.11 命令集

读写器模块的工作由能执行一组命令集的状态机决定。由向 CommandReg 写命令码来启动命令的执行，执行过程中所必需的参数和数据通过 FIFO 进行交互。

3.11.1 概述

每个需要数据流作为输入的命令会立刻处理 FIFO 中的数据，仅 Transceive 命令例外，在使用该命令时要由 BitFramingReg 中的 StartSend 位开启数据传输；

每个命令都需要一些对应的参数，只有从 FIFO 得到了正确参数后才开始执行；

命令开始执行时不会清空 FIFO，也就是说可以先向 FIFO 中写入命令参数和数据字节，再启动命令的执行；

可以通过主机向 CommandReg 写一个新的命令码，来中断当前命令的执行。

3.11.2 16.2 命令概览

表 3-131 命令概览

命令	命令码	功能
Idle	0000	不动作，取消当前命令的执行
Generate RandomID	0010	产生 10 字节随机 ID
CalcCRC	0011	激活 CRC 协处理器或自测试
Transmit	0100	发射 FIFO 中的数据
MStart	0101	触发 3K RC 自动校正
ADC_EXCUTE	0110	自动获取 Poll 参考值
NoCmd Change	0111	命令不变化，在不影响当前命令的执行的的情况下修改 CommandReg 的其他位，如 PowerDown
Receive	1000	激活接收电路
Transceive	1100	通过天线发射 FIFO 中的数据并在发射完后自动激活接收机
MFAuthent	1110	读卡器模式下用作 MIFARE 标准认证

SoftReset	1111	复位读写器模块
-----------	------	---------

3.11.3 命令说明

3.11.4 Idle

使读写器模块处于空闲模式。也可用于终止正在执行的命令，包括 Idle 自身。

3.11.5 Generate RandomID

使用该指令产生一个存储在内部缓冲区的 10 字节随机数，向 25 字节内部缓冲区重写 10 字节。该命令完成后自动终止，并激活空闲命令。

3.11.6 CalcCRC

使用该命令会将 FIFO 内容传输到 CRC 协处理器并开始计算 CRC。CRC 计算并不局限于固定的字节数，即使数据流中 FIFO 空了也不会停止，下一个写入 FIFO 的数据仍继续进行 CRC 的计算。

CRC 预设值由 ModeReg 中的 CRCPreset[1:0]设置，命令开始执行时载入到 CRC 协处理器中。

该命令需要通过向 CommandReg 写其他命令来终止，如 Idle。

如果 SelfTestReg 中的 SelfTest[3:0]设置正确，读写器模块进入自测模式，此时启动 CalcCRC 命令使芯片初始化数字自测试功能，自测结果会写入 FIFO 当中。

3.11.7 Transmit

启动该命令时立即开始发射 FIFO 中的内容。发射 FIFO 内容之前，应将相关寄存器全按数据的发射模式正确配置。

该命令在 FIFO 为空后自动终止，也可以通过向 CommandReg 写其他命令来终止。

3.11.8 MStart

自动开始校正 3K RC。Max 置 0 时，只进行粗校正；置 1 时，先进行粗校正后进行精校正。

3.11.9 ADC_EXCUTE

自动启动 ADC 进行 RF 测量。

3.11.10 NoCmdChange

该命令不影响当前正在执行的命令，用于改变 CommandReg 中除 Command[3:0]之外的其他位，例如 RcvOff 或者 PowerDown。

3.11.11 Receive

该命令激活读写器模块的接收机，等待接收数据流。在执行该命令之前需要正确设置相关的寄存器。

该命令在数据流结束后自动终止，数据流结束的标志是：接收到帧结束 EOF 或者根据所选帧格式与速率的长度字节而定。

注意如果 RxModeReg 的 RxMultiple 位设置为 1，Receive 命令不会自动终止，需要通过向 CommandReg 写其他命令来终止。

3.11.12 Transceive

使用该命令重复执行：发射 FIFO 中的数据，然后再从 RF 场中接收数据流。

每次数据的发射都需要由 BitFramingReg 中的 StartSend 位置 1 来启动。该命令需要通过向 CommandReg 写其他命令来终止。

注意如果 RxModeReg 的 RxMultiple 位设置为 1，Transceive 命令不再离开接收状态，因为接收状态此时不会自动取消。

3.11.13 MFAuthent

该命令执行 MIFARE 认证功能，使读写器模块可以与任何 MIFARE Mini，MIFARE 1K 和 MIFARE 4K 卡进行安全的通信。在激活该命令前，需要向 FIFO 中写入如下内容：

- 1) 认证命令码 (60h, 61h)
- 2) 块地址
- 3) 扇区密钥字节 0
- 4) 扇区密钥字节 1
- 5) 扇区密钥字节 2
- 6) 扇区密钥字节 3

- 7) 扇区密钥字节 4
- 8) 扇区密钥字节 5
- 9) 卡序列号字节 0
- 10) 卡序列号字节 1
- 11) 卡序列号字节 2
- 12) 卡序列号字节 3

一共向 FIFO 中写入 12 字节。

注意在执行 MFAuthent 命令过程中，禁止访问 FIFO，如果出现访问 FIFO 的操作，ErrorReg 中的 WrErr 位置 1。

MIFARE 卡认证成功后该命令自动终止，且将 Status2Reg 中的 MFCrypto1On 位置 1。

如果没有卡响应，该命令不会自动终止。这种情况下，除了 IdleIRq 外，还可以使用 TimerIRq 位作为终止条件。认证过程中屏蔽 RxIRq 和 TxIRq 位。在处理完协议或向 CommandReg 写 Idle，使 MFAuthent 命令终止后，Crypto1On 位才有效。

如果认证过程中发生错误，ErrorReg 的 ProtocolErr 位置 1，Status2Reg 的 Crypto1On 置 0。

3.11.14 SoftReset

该命令用于复位芯片。内部缓存器的配置数据保留不变，所有寄存器设为其复位值。该命令完成后自动终止。

注意 SerialSpeedReg 被复位因此串行数据速率设置为 9.6kBd。

4 电气参数

4.1 MCU 电气参数

4.1.1 参数条件

除非特别说明，所有电压均以 V_{SS} 为参考。

4.1.1.1 最大和最小值

除非特别说明，所有最大值和最小值在最坏的环境温度、供电电压和时钟频率下得到保证。

基于特性结果、设计模拟和/或技术特性的数据在表脚注中指明，未在生产中进行测试。最小值和最大值样本测试。

4.1.1.2 典型值

除非另有说明，典型数据基于 $T_A = 25$ 摄氏度， $V_{DD_MCU} = 3.3$ V。仅作为设计指南。

4.1.1.3 电源供电方案

MCU 模块有一个 V_{DD_MCU} 、 V_{CAP} 和 V_{SS} 。

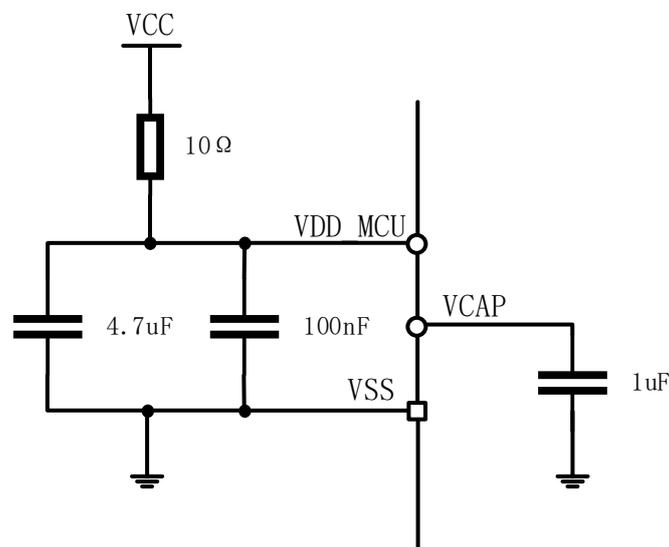


图 4-1 电源供电方案

4.1.1.4 电流消耗测量

电流消耗测量如图 4-2 所示。

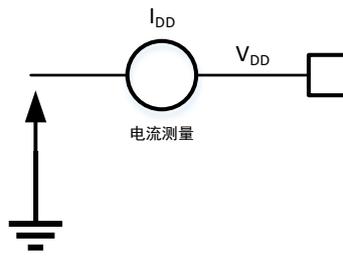


图 4-2 电流消耗测量

4.1.1.5 绝对最大额定值

临界或超过绝对最大额定值将可能导致芯片工作异常甚至损坏。

表 4-1 绝对最大额定值表

符号	参数	最小值	最大值	单位
V_{DD_MCU} - $V_{SS}^{(1)}$	外部主供电电压	-0.3	5.8	V
$V_{IN}^{(1)}$	引脚输入电压	-0.3	5.8	V
$V_{ESD(HBM)}^{(1)}$	静电放电电压（人体模型）		5500	V

注：1. 设计参数

4.1.2 操作条件

4.1.2.1 一般操作条件

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD_MCU} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 不分频。

表 4-2 一般操作条件

符号	参数	条件	最小	标准	最大	单位
f_{RC}	内部系统时钟频率	$T_a=25^{\circ}\text{C}$, $V_{DD_MCU}=3.3\text{ V}$	10	16/32	32	MHz
f_{PLL}	内部 PLL 时钟频率	$T_a=25^{\circ}\text{C}$, $V_{DD_MCU}=3.3\text{ V}$		48		MHz

符号	参数	条件	最小	标准	最大	单位
f_{XTH}	外部晶振时钟频率	$T_a=25^{\circ}C, V_{DD_MCU}=3.3V$	4	16/32	32	MHz
f_{RCL}	内部 RCL 时钟频率	$T_a=25^{\circ}C, V_{DD_MCU}=3.3V$	1.8	3	8	KHz
V_{DD_MCU}	标准操作电压	使用 ADC	2.5	3.3	5	V
		未使用 ADC	1.8	3.3	5.5	
I_{DD}	运行模式下的电流 (程序运行在 Flash)	RCH 选择 16MHz 并作为 MCU 时钟, RCL 和看门狗工作, 其他外设关闭	-	3.7	-	mA
		RCH 选择 32MHz 并作为 MCU 时钟, RCL 和看门狗工作, 其他外设关闭	-	7.3	-	mA
		16MHz XTH 作为 MCU 时钟, RCL 和看门狗工作, 其他外设关闭	-	4.0	-	mA
		32MHz XTH 作为 MCU 时钟, RCL 和看门狗工作, 其他外设关闭	-	6.9	-	mA
		RCH 选择 16MHz, 用 PLL 作为 MCU 时钟, RCL 和看门狗工作, 其他外设关闭	-	10.0	-	mA
	待机模式	RCL 和看门狗工作, RCH 开启且 XTH 开启, 其他外设关闭	-	0.9	-	mA
	睡眠模式	RCL 和看门狗工作, 其他外设关闭	-	5.5	-	uA
	掉电模式 1	RCL 和看门狗工作, 其他外设关闭	-	1.4	-	uA
		RCL、XTL、看门狗和 RTC 工作, 其他外设关闭	-	1.9	-	uA
	掉电模式 2	RCL 开启和看门狗工作, 其他外设关闭	-	0.6	-	uA
		RCL、XTL、看门狗和 RTC 工作, 其他外设关闭	-	1.1	-	uA

注: 1. 没有特别说明, $T_a=25^{\circ}C, V_{DD_MCU}=3.3V$ 条件下参数。

4.1.2.2 从低功耗模式的唤醒时间

如无特别说明, 按以下条件测试:

- 进入低功耗模式前设置的时钟源为 RCH
- 唤醒时间测量是从唤醒事件开始到用户程序读取第一条指令

符号	参数	条件	最小	标准	最大	单位
T_{wu}	待机模式唤醒时间	RCH=16MHz		0.6		us

符号	参数	条件	最小	标准	最大	单位	
	睡眠模式唤醒时间	RCH=32MHz		0.3		us	
		RCH=16MHz		4.2		us	
		RCH=32MHz		4		us	
	掉电模式 1 唤醒时间	RCH=16MHz, fwup_pd1=0			35.2		us
		RCH=16MHz, fwup_pd1=1			21.6		us
		RCH=32MHz, fwup_pd1=0			17.2		us
		RCH=32MHz, fwup_pd1=1			10.4		us
	掉电模式 2 唤醒时间	fwup_pd2=000			104		us
		fwup_pd2=001			105		us
		fwup_pd2=010			106		us
		fwup_pd2=011			112		us
		fwup_pd2=100			120		us
		fwup_pd2=101			136		us
		fwup_pd2=110			168		us
	fwup_pd2=111			233		us	

4.1.2.3 内部系统时钟源参数

RCH 的频率能够通过寄存器修调,寄存器为绝对地址 0x3000_101C 下的低 9 位.随着修调字的递增,频率递减,递减幅度为 0.4% .

注意:除了频率修调字,其他位禁止修改.

表 4-3 内部系统时钟参数

符号	参数		条件	最小	标准	最大	单位
f _{CLK}	频率	-	-	10	16/32	34	MHz
TRIM	微调步进	16M	-	-	0.4	-	%
		32M	-	-	0.4	-	%
ACC	振荡器精度	16M	Ta= -40°C ~ 125°C	-	±4	-	%
			Ta= -20°C ~ 85°C		±3		%
			Ta= 25°C		±1		%
		32M	Ta= -40°C ~ 125°C	-	±8	-	%
			Ta= -20°C ~ 85°C		±5		%
			Ta= 25°C		±1		%
t _{su}	起振时间	-	Ta=25°C, V _{DD_MCU} =3.3 V	-	1	-	us

4.1.2.4 外部时钟源参数

外部时钟源使用低成本晶振：4 ~ 32 MHz ± 60 ppm。

使用时，PB0/PB1 应配置为模拟功能；晶振引脚在未设置为模拟功能时，外部晶振被关闭且输入输出引脚用作标准 I/O。

晶振负载电容推荐高质量外部陶瓷电容，容值在 5 pF 至 20 pF 范围内（C1 = C2 = 15 pF 为典型值，实际使用请参考晶振的数据手册）。

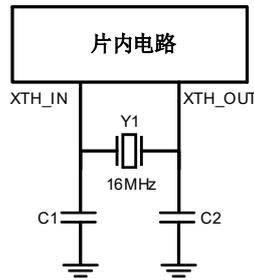


图 4-3 使用 16 MHz 晶振时典型应用图

表 4-4 晶振参数表

符号	参数	V _{DD}	条件	最小	标准	最大	单位
f _{CLK}	时钟频率		T _a =25°C, V _{DD_MCU} =3.3 V	4	16/32	32	MHz
I _{VDD(1)}	晶振稳定后 电流	5.5 V	C1 = C2 = 15 pF	-	113	-	uA
		3.3 V			81		
		1.8 V			66		
tsu(1)	起振时间	3.3 V	C1 = C2 = 15 pF	-	0.6	-	ms

注：1. 为设计参数

4.1.2.5 I/O 端口参数

通用输入输出参数

表 4-5 I/O 直流参数

符号	参数	V _{DD}	条件	最小	最大	单位
V _{IH}	I/O 输入高电 压	5 V	-	0.7 × V _{DD}	-	V
		3.3 V		2.0		
		1.8 V		0.8 × V _{DD}		
V _{IL}	I/O 输入低电	5 V	-	-	0.3 ×	V

符号	参数	V _{DD}	条件	最小	最大	单位
	压				VDD_MCU	
		3.3 V			0.8	
		1.8 V			0.2 × VDD_MCU	
V _{HYS}	施密特触发器迟滞	5/3.3/1.8 V	-	0.1 × VDD_MCU	-	V
I _{IH}	I/O 输入高电流	5/3.3/1.8 V	-	-	+1	μA
I _{IL}	I/O 输入低电流	5/3.3/1.8 V	-	-1	-	μA
V _{OH}	I/O 输出高电压	5 V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA	VDD_MCU-0.8		V
		3.3 V	高驱动 I _{min} = 8mA 低驱动 I _{min} = 4mA	2.4		
		1.8 V	高驱动 I _{min} = 4mA 低驱动 I _{min} = 2mA	VDD_MCU-0.45		
V _{OL}	I/O 输出低电压	5 V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA		0.5	V
		3.3 V	高驱动 I _{min} = 8mA 低驱动 I _{min} = 4mA		0.4	
		1.8 V	高驱动 I _{min} = 4mA 低驱动 I _{min} = 2mA		0.45	
R _{pup}	上拉电阻	5/3.3/1.8 V	-	20	100	KOhm
R _{pdn}	下拉电阻	5/3.3/1.8 V	-	20	100	KOhm
C _{IN}	I/O 输入电容	5/3.3/1.8 V	-	-	10	pF

注：以上为设计参数

4.1.2.6 ADC 参数

符号	参数	条件	最小	标准	最大	单位	备注
VRES	分辨率	16bit		36.62		uV/LSB	
		15bit		73.24		uV/LSB	
		14bit		146.48		uV/LSB	
		13bit		292.97		uV/LSB	
TCONV	转换时间(ADC 时钟 4MHz)	16bit		35.25		us	
		15bit		19.25		us	
		14bit		11.25		us	
		13bit		7.25		us	

VERR(1)	测量误差			±3.5		mV	
INGAIN	输入通道增益		1/4	1	128		2~128 仅支持 PA11 输入
VINRANG	输入电压范围		0		VDD_MCU		VDD_MC U≤4.8V
fCLK	时钟频率			4	8	MHz	

注1. 输入 1/4 增益，内部基准 0~1.2V， $V_{DD_MCU}=3.3V$ ，16 位分辨率

4.2 读写器电气参数

4.2.1 主要参数指标

表 4-6 极限参数

工作条件	最小值	最大值	单位
电源电压			
VDD_RF	2.3	4.0	V

表 4-7 主要参数指标

参数	符号	条件	备注	最小值	典型值	最大值	单位
模拟供电电压	VDDA	AVDD = PVDD = VDD_RF = TVDD;	(1)	2.3	3.3	4	V
TVDD 供电电压	VDD (TVDD)	VSSA = VSSD = VSS (PVSS) = VSS (TVSS) =		2.3	3.3	4	V
PVDD 供电电压	VDD (PVDD)	0 V	(1)	2.3	3.3	4	V
VDD_RF 供电电压	VDD (VDD_RF)	VSSA = VSSD = VSS (PVSS) = VSS (TVSS) = 0 V		2.3	3.3	4	V
掉电电流	I _{pd}	AVDD = VDD (VDD_RF) = VDD (TVDD) = VDD (PVDD) = 3.3 V					
		硬掉电; NRSTPD 管脚置低	(2)	-	1.1	1.5	uA
		软掉电; 射频信号检测器开启	(2)	-	1.1	1.5	uA
自动寻卡平均电流	IACD1	500 ms 自动寻卡时间间隔		-	3.5	4	uA
自动寻场平均电流	IACD2	500 ms 自动寻场时间间隔		-	2.9	3.5	uA
PVDD 供电电流	IDDD	PVDD 引脚; PVDD = 3.3 V		-	0.9	1.5	mA
模拟供电电流	IDDA	AVDD 引脚; VDDA = 3.3 V, CommandReg 寄存器的 RevOff 位 = 0		-	3	4	mA
		AVDD 引脚; 接收机关闭; VDDA = 3.3 V, CommandReg 寄存器的 RevOff 位 = 1		-	0.9	1	mA
发射机电流	IDD (TVDD)	持续发射载波	(3)	-	20	30	mA

1) AVDD, VDD (TVDD) 必须始终保持电压相同;

2) I_{pd} 是所有供电电源的总电流;

3) 典型电路操作期间, 总电流小于 30mA。

注：如果外加条件超过“极限额定参数”的额定值，将会对芯片造成永久性的破坏。

表 4-8 推荐值

参数	标志	条件	最小值	典型值	最大值	单位
模拟供电电压	VDDA	AVDD=PVDD=VDD_RF=TVDD;	2.5	3.3	3.6	V
TVDD 供电电压	VDD(TVDD)	VSSA=VSSD=VSS(PVSS)=VSS(TVSS)=0V	2.5	3.3	3.6	V
PVDD 供电电压	VDD(PVDD)		2.5	3.3	3.6	V
VDD_RF 供电电压	VDD(VDD_R F)		2.5	3.3	3.6	V

4.3 其他参数

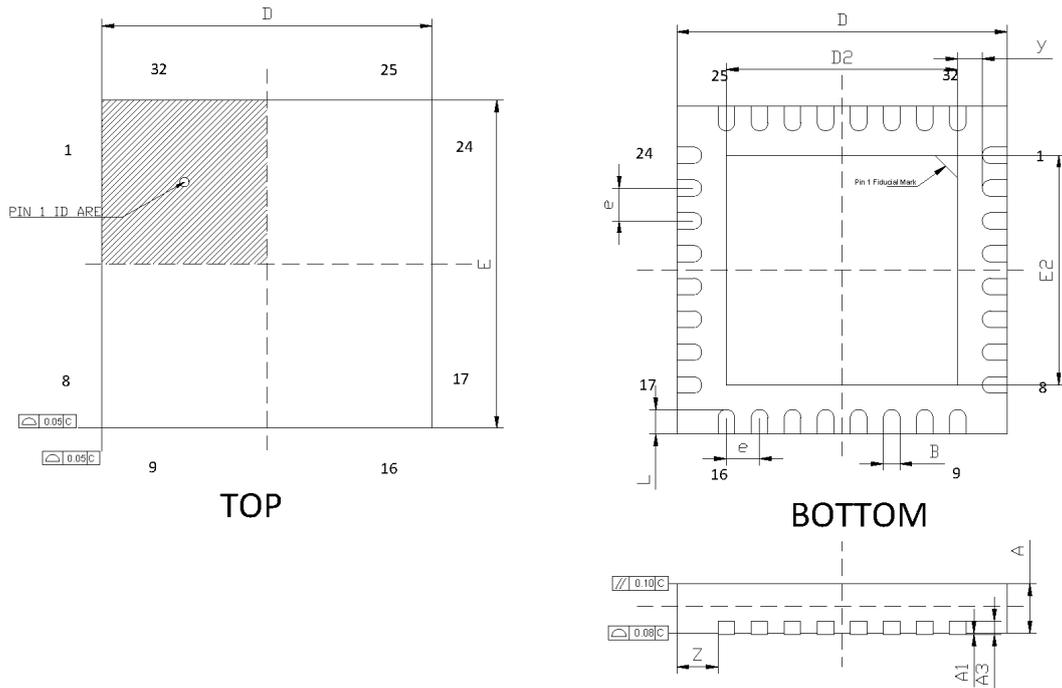
4.3.1 主要参数指标

表 4-9 其他参数

工作条件	条件	最小值	最大值	单位
	温度			
储存温度		-55	+125	°C
工作温度		-40	+85	°C

5 封装信息

芯片采用 QFN0505-32L 封装，封装参数如下



Dimensions

Unit	D	E	D2	E2	A	A1	A3	B	e	K	L	y	Z
mm	5.10 (5.00) 4.90	5.10 (5.00) 4.90	3.60 (3.50) 3.40	3.60 (3.50) 3.40	0.80 (0.75) 0.70	0.05 (0.02) 0.00	0.203 REF	0.30 (0.25) 0.20	0.50 BSC	-	0.43 (0.38) 0.33	0.38 REF	0.625 REF

Notes

- All Dimensions are in Millimeters.
- Dimensions Do Not include Burrs, Mold Flash, and Tie-bar Extrusions.

CUSTOMER[客户]:						
TITLE[名称]: QFN0505-32L						
DWG NO. [图号]:						
PART NO. [零件编号]:						
SIGN	QTY	REV NO.	SIGNER	DATE	REV[版本]: 0	
DRAWN BY					VIEW ORIENTATION	UNIT[单位]: mm
CHK'D BY					SCALE[比例]: 1:1	
APPROVED BY					PAGE: 1 OF 1	
CODE[档案编号]:						

R3, R7	10K	0603
R4, R5, R6	0R	0603
R9, R10, R11, R12, R13, R14	680R	0603
Y1	27.12MHz	
U1		QFN32 05×05

6.2 PCB 布线

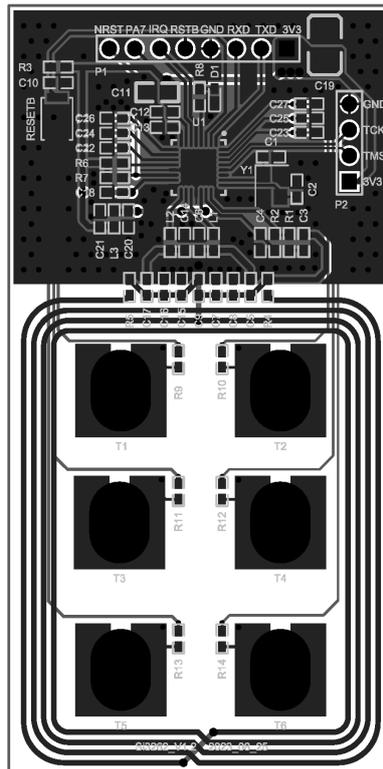


图 6-2 PCB 布线图

7 版本信息

版本	修订日期	修订内容摘要
Rev1.0	2023/07/04	初稿。
Rev1.1	2023/07/24	增加触摸模块内容。
Rev1.2	2023/08/30	增加典型应用原理图。

8 订单信息

封装标志

Si3262 ABBCDEE

SI3262:芯片代码

A: 封装日期年代码, 5 代表 2020 年

BB:加工发出周记, 例如 42 代表是 A 年的第 42 周发出加工

C:封装工厂代码, 为 A、HT、NJ 或 WA, 也简写为 A、H、N 或 W

D:测试工厂代码, 为 A、Z、或 H

EE:生产批次代码

表 8-1 订单信息表

订单代码	封装	包装	最小单位
Si3262-Sample	QFN0505-32L	Box/Tube	5
Si3262	QFN0505-32L	Tape and reel	4K

9 技术支持与联系方式

南京中科微电子有限公司 技术支持中心

电话: 025-68517780

地址: 南京市玄武区徐庄软件园研发三区 B 栋 201 室

网址: <http://www.csm-ic.com>

市场销售

手机: 13645157034, 13645157035

邮箱: sales@csmic.ac.cn

技术支持

手机: 13645157034

邮箱: supports@csmic.ac.cn